

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150644
 (43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01L 21/768
 H01L 21/302
 H01L 21/3205

(21)Application number : 10-318556

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.11.1998

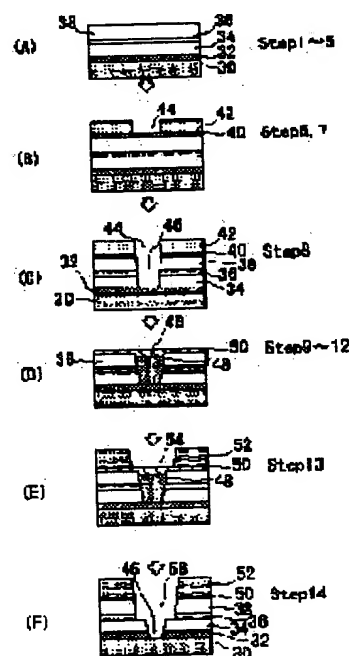
(72)Inventor : HARADA AKIHIKO
 SAITO TAKAYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a lower-layer wiring layer from being damaged related to a manufacturing method for a semiconductor device comprising a wiring element of a dual damascene structure at the upper part of the lower-layer wiring layer.

SOLUTION: On a lower-layer wiring layer 30 a first silicon nitride film 32, a first silicon oxide film 34, a second silicon nitride film 36, and a second silicon oxide film 38 are formed in order (steps 1-5). At the upper part of the lower-layer wiring layer 30, a second silicon oxide film 38 and a via hole 46 penetrating the second silicon nitride film 36 are formed (steps 6-8). A photo-resist 48 is so packed in the via hole 46 as to cover its inside wall (steps 9-12). After a protect film is formed of the photo-resist 48, a specified part of the second silicon oxide film 38 and the second silicon nitride film 36 is removed to form a wiring groove 56 (steps 13-14).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application converted
 registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of
 rejection]

[Date of extinction of right]

Copyright (C): 1998.2000 Japan Patent Office

material after hollowing the front face of the aforementioned base-metal material. The step which removes the layer of the aforementioned silicon nitride until the front face of the 0th insulator layer of the above is exposed so that the layer of the aforementioned silicon nitride may remain the aforementioned base-metal film only to a wrap predetermined field.

[Claim 11] The aforementioned etching stopper film is the manufacture method of the semiconductor device of ten the claim 1 characterized by including the silicon nitride which has the absorption coefficient of 0.5-1.0, or given in any 1 term.

[Claim 12] The manufacture method of the semiconductor device of the claim 1 or the any 1 term publication of 11 characterized by providing the following. The step which forms the high-melting point metal membrane for acid resisting in the upper part of the 2nd insulator layer of the above before carrying out opening of the aforementioned beer hall. The step which forms the aforementioned wiring slot is the step which removes in the part corresponding to the aforementioned wiring slot of the aforementioned high-melting point metal membrane for acid resisting including the step which removes the part corresponding to the aforementioned beer hall of the aforementioned high-melting point metal membrane for acid resisting in the step which is equipped with the step which removes the aforementioned high-melting point metal membrane for acid resisting which remains in the upper part of the 2nd insulator layer of the above after the aforementioned wiring slot is formed, and carries out opening of the aforementioned beer hall.

[Claim 13] The manufacture method of the semiconductor device of the claim 1 or the any 1 term publication of 11 characterized by providing the following. The step which forms in the upper part of the 2nd insulator layer of the above the silicon nitride for acid resisting which has the absorption coefficient of 0.5-1.0 before carrying out opening of the aforementioned beer hall. The step which forms the aforementioned wiring slot is the step which removes in the part corresponding to the aforementioned wiring slot of the aforementioned silicon nitride for acid resisting including the step which removes the part corresponding to the aforementioned beer hall of the aforementioned silicon nitride for acid resisting in the step which is equipped with the step which removes the aforementioned silicon nitride for acid resisting which remains in the upper part of the 2nd insulator layer of the above after the aforementioned wiring slot is formed, and carries out opening of the aforementioned beer hall.

[Claim 14] The manufacture method of the semiconductor device of the claim 1 or the any 1 term publication of 11 characterized by providing the following. The step which carries out opening of the aforementioned beer hall is a step which forms the 1st organic antireflection film in the upper part of the 2nd insulator layer of the above. The step which forms the aforementioned wiring slot in the part corresponding to the aforementioned beer hall at the upper part of the aforementioned 1st organic antireflection film including the step which forms the 1st photoresist film which has opening is a step which forms the 2nd organic antireflection film in the upper part of the 2nd insulator layer of the above. The step which forms in the part corresponding to the aforementioned wiring slot the 2nd photoresist film which has opening at the upper part of the aforementioned 2nd organic antireflection film.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method of a semiconductor device, and relates to the manufacture method of the semiconductor device which equips the upper part of a lower layer wiring layer with the wiring element of a dual pellet syn conformation especially.

[0002]

[Description of the Prior Art] As a wiring material of a semiconductor device, the small quality of the material of specific resistance, such as copper, may be used. In a semiconductor device, after forming a beer hall and a wiring slot in a dual pellet syn conformation, i.e., a layer insulation film, generally, the structure which embeds a metal at them and forms wiring is used for the multilayer interconnection using copper.

[0003] Drawing 13 (A) - drawing 13 (C) show drawing for explaining the manufacture method of the conventional semiconductor device which has wiring of a dual pellet syn conformation. In the conventional manufacture method, after the lower layer wiring 10 forms a slot etching stopper film and the 0th insulator layer in the predetermined part on a silicon substrate, it is formed with copper of photoengraving process and etching. The 1st silicon nitride (Si_3N_4) 12, the 1st silicon oxide 14, the 2nd silicon nitride (Si_3N_4) 16, and the 2nd silicon oxide 18 are formed in the upper part of the lower layer wiring layer 10 one by one. Furthermore, the 1st photoresist 20 which has opening is formed in the part corresponding to a beer hall 19 at the upper part of the 2nd silicon oxide 18.

[0004] Next, anisotropy dry etching for carrying out opening of the beer hall 19 by using the 1st photoresist 20 as a mask is performed. The above-mentioned etching is performed until the 1st silicon nitride 12 is exposed to the interior of a beer hall 19 (drawing 13 (A)). In the process of etching, the 1st silicon nitride 12 functions as a stopper film which stops advance of etching.

[0005] After etching for carrying out opening of the beer hall 19 is completed, the 1st photoresist 20 is removed from the upper part of the 2nd silicon oxide 18, and the 2nd photoresist 22 which has opening in instead of at the part corresponding to a wiring slot is formed (drawing 13 (B)).

[0006] Next, anisotropy dry etching for carrying out opening of the wiring slot 24 by using the 2nd photoresist 22 as a mask is performed (drawing 13 (C)). The above-mentioned etching is first performed on the conditions which can remove a silicon oxide by the big selection ratio to a silicon nitride. the [under the present circumstances, / the 1st and] — both 2 silicon nitrides 12 and 16 are used as a stopper film for stopping advance of etching Next, etching for removing the 2nd silicon nitride 16 exposed to the interior of the wiring slot 24 and the 1st silicon nitride 12 exposed to the interior of a beer hall 19 is performed. If these processings are performed proper, the wiring slot 24 which leads to the beer hall 19 in which the front face of the lower layer wiring layer 10 is exposed, and a beer hall 19 will be formed.

[0007]

[Problem(s) to be Solved by the Invention] However, the 1st silicon nitride 12 is always exposed to etchant in the pars basilaris ossis occipitalis of a beer hall 19 during execution of etching for forming the wiring slot 24 (the part is hereafter called a "outcrop"). Moreover, the outcrop originates in the variation in manufacture conditions etc., and it may ***** so much in process of etching for carrying out opening of the beer hall 19. Under such a situation, in process of etching for carrying out opening of the wiring slot 24, a beer hall 19 may run through the 1st silicon nitride 12, and the front face of the lower layer wiring layer 10 may be exposed. In this case, by continuing etching henceforth, as shown in drawing 13 (C), an injury arises in the lower layer wiring layer 10.

[0008] Moreover, in the conventional manufacture method, etching for carrying out opening of the wiring slot 24 is performed after opening of a beer hall 19 like the above. In this case, the 2nd silicon oxide 14 and the 2nd silicon nitride 16 tend to receive the effect of etching greatly in near opening of a beer hall 19 as compared with other parts. For this reason, according to the conventional manufacture method, the path of the breakthrough (hole by the beer hall 19) prepared in the 2nd silicon nitride 16 is easy to be expanded in process of etching for carrying out opening of the wiring slot 24.

[0009] Drawing 14 shows the state where it is generated when the path of the breakthrough of the 2nd silicon nitride 16 is expanded in process of etching. the configuration shown with a dashed line in drawing 14 -- the [the 1st and] -- the state of the ideal obtained when 2 silicon nitrides 12 and 16 function proper as a stopper film is shown in drawing 14, the lower layer wiring layer 10 has width of face almost equal to the path of the beer hall 19 of an ideal state. Moreover, the lower layer wiring layer 10 equips the circumference with the layer of the barrier metal 26.

[0010] If the path of the breakthrough of the 2nd silicon nitride 16 is expanded by the morphosis of the wiring slot 24, as the configuration of a beer hall 19 is shown in drawing 14, the path of the upper-limit section will serve as a big taper configuration as compared with the path of the soffit section. If a beer hall 19 is formed in the shape of a taper, the side of the lower layer wiring layer 14 will become that it is easy to be exposed to etchant. In this case, the barrier metal 26 receives an injury under the influence of etching, and it becomes easy to produce film peeling in the base metal and the barrier metal 26 of a wiring layer. Thus, in case the manufacture method of the conventional semiconductor device formed the wiring element of a dual pellet syn conformation in the upper part of the lower layer wiring layer 10, it was what has the problem of being easy to make the lower layer wiring layer 10 producing the injuries on various.

[0011] By the way, the copper used as a base metal of a wiring layer in the conventional semiconductor device has the high reflection factor compared with aluminum. In the conventional manufacture method, in case patterning of the 1st photoresist 20 for carrying out opening of the beer hall 19 is carried out (refer to drawing 13 (A)), and in case patterning of the 2nd photoresist 22 for forming the wiring slot 24 is carried out (refer to drawing 13 (B)), processing which light (for example, i

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture method of a semiconductor device equipped with the wiring element of a dual pellet syn conformation characterized by providing the following. The step which forms the diffusion prevention film of metal on lower layer wiring. The step which forms the 1st insulator layer in the upper part of the aforementioned nucleic-acid prevention film. The step which forms an etching stopper film in the upper part of the 1st insulator layer of the above. The step which forms the 2nd insulator layer in the upper part of the aforementioned etching stopper film, the step which form in the upper part of the aforementioned lower layer wiring the beer hall which penetrates the 2nd insulator layer of the above, the aforementioned etching stopper film, and the 1st insulator layer of the above, the step which form a wrap organic layer in the interior of the aforementioned beer hall for the wall of the beer hall, and the step which remove the predetermined part of the 2nd insulator layer of the above by etching, and form an

[Claim 2] The aforementioned organic layer is the manufacture method of the semiconductor device according to claim 1 characterized by being formed so that the aforementioned beer hall may be covered in the field which results in the inside of the 2nd insulator layer of the above from the base at least.

[Claim 3] The step which forms the aforementioned organic layer is the manufacture method of the semiconductor device according to claim 1 or 2 characterized by having the step which embeds a photoresist to the interior of the aforementioned beer hall, and the step which stiffens the aforementioned photoresist.

[Claim 4] The step which forms the aforementioned organic layer is the manufacture method of the semiconductor device according to claim 1 or 2 characterized by having the step which forms the layer of an organic acid-resisting agent in the interior of the aforementioned beer hall as the aforementioned organic layer.

[Claim 5] The manufacture method of the semiconductor device of the claim 1 or the any 1 term publication of four characterized by providing the following. The step which forms the aforementioned lower layer wiring layer is a step which forms an etching stopper film on a silicon substrate. The step which forms the 0th insulator layer on the aforementioned etching stopper film. The step which forms the slot for lower layer wiring by photoengraving process and anisotropic etching. The step which embeds base-metal material after forming a high-melting point metal membrane into the aforementioned slot for lower layer wiring, the step which removes the excessive base-metal agent in the exterior of the slot for lower layer wiring, and the step which forms a high-melting point metal membrane in the upper part of the aforementioned base-metal material.

[Claim 6] The manufacture method of a semiconductor device according to claim 5 characterized by providing the following. The step which forms the aforementioned high-melting point metal membrane while having the step which carries out flattening until the front face of the 0th insulator layer of the above is exposed and base-metal material is lost to the exterior of the aforementioned slot for lower layer wiring, after embedding base-metal material into the aforementioned slot for lower layer wiring is a step which forms the layer of a refractory metal in the upper part of the aforementioned silicon substrate and the aforementioned base-metal material. The step which etches so that the layer of the aforementioned refractory metal may remain the aforementioned base-metal film only to a wrap predetermined field.

[Claim 7] The manufacture method of a semiconductor device according to claim 5 characterized by providing the following. The step which forms the aforementioned high-melting point metal membrane while having the step to which only predetermined length hollows the front face of the aforementioned base-metal material as compared with the front face of the 0th insulator layer of the above, after embedding base-metal material into the aforementioned slot for lower layer wiring is a step which forms the layer of a refractory metal in the upper part of the 0th insulator layer of the above, and the aforementioned base-metal material after hollowing the front face of the aforementioned base-metal material. The step which removes the film of the aforementioned refractory metal until the front face of the 0th insulator layer of the above is exposed so that the layer of the aforementioned refractory metal may remain the aforementioned base-metal film only to a wrap predetermined field.

[Claim 8] The step which forms the aforementioned lower layer wiring layer is the manufacture method of the semiconductor device of four the claim 1 characterized by to have the step which forms the slot for lower layer wiring in the 0th velum, the step which embeds base-metal material after forming a high-melting point metal membrane into the aforementioned slot for lower layer wiring, and the step which forms in the upper part of the aforementioned base-metal material the silicon nitride which has the absorption coefficient of 0.5-1.0, or given in any 1 term.

[Claim 9] The manufacture method of a semiconductor device according to claim 8 characterized by providing the following. The step which forms the aforementioned silicon nitride while having the step which carries out flattening of the front face of the 0th insulator layer of the above and the front face of the aforementioned base-metal material, after embedding base-metal material into the aforementioned slot for lower layer wiring is a step which forms in the upper part of the aforementioned silicon substrate and the aforementioned base-metal material the layer of the silicon nitride which has the absorption coefficient of 0.5-1.0. The step which etches so that the layer of the aforementioned silicon nitride may remain the aforementioned base-metal film only to a wrap predetermined field.

[Claim 10] The manufacture method of a semiconductor device according to claim 8 characterized by providing the following. The step which forms the aforementioned silicon nitride while having the step to which only predetermined length hollows the front face of the aforementioned base-metal material as compared with the front face of the 0th insulator layer of the above, after embedding base-metal material into the aforementioned slot for lower layer wiring is a step which forms the layer of a silicon nitride in the upper part of the aforementioned silicon substrate and the aforementioned base-metal

line) is irradiated [processing] from those upper parts, and exposes a photoresist is performed. A photoresist is exposed in response to the direct light irradiated from the upper part, and the reflected light which reflects and returns by the substrate side after passing a photoresist. For this reason, the sensitization state of a photoresist receives big influence in the intensity of the reflected light, the interference state of direct light and the reflected light, etc.

[0012] The silicon oxide and silicon nitride which the conventional semiconductor device uses make light penetrate generally. For this reason, a part of light which passed the photoresist penetrates a silicon oxide and a silicon nitride, and it reaches to the lower layer wiring layer 10 or the front face of a silicon substrate. For this reason, the photoresist applied to the upper part of the lower layer wiring layer 10 receives the reflected light generated in the lower layer wiring layer 10. Moreover, the photoresist applied to the upper part of the field in which the lower layer wiring layer 10 is not formed receives the reflected light reflected on the front face of the silicon substrate of the lower layer wiring layer 10 further located in a lower layer.

[0013] The length of the optical path which will pass by the time the reflected light reflected on the length of the optical path which will pass by the time the reflected light reflected in the lower layer wiring layer 10 reaches a photoresist, and the front face of a silicon substrate reaches a photoresist is changed according to the variation in the thickness of the layer insulation film which intervenes between the reflector of light, and a photoresist. Moreover, if those optical path difference is changed, the interference state of direct light and the reflected light which a photoresist receives will change, and variation will arise in the sensitization state of a photoresist. This point and the conventional manufacture method were what it originates [what] in the variation in the thickness of a layer insulation film, and is easy to worsen the dimensional accuracy of the 1st and 2nd photoresists 20 and 22.

[0014] Furthermore, when metals, such as copper with a high reflection factor, are used for the base metal of the lower layer wiring layer 10, and the light which passed the mask is strongly reflected by the lower layer wiring layer 10, the halation resulting from the reflected light may arise. In the conventional manufacture method, the abnormalities in a pattern of a photoresist may arise under the influence of the halation in the case of patterning of the 2nd photoresist 22 in the case of patterning processing of the 1st photoresist 20. Thus, when the conventional manufacture method carried out patterning of the photoresist by photoengraving process, it had the problem of being easy to worsen pattern precision under the influence of the reflected light.

[0015] this invention sets it as the 1st purpose to offer the manufacture method of the semiconductor device which can form the wiring element of a dual pellet syn conformation in the upper part, without having been made in order to solve the above technical problems, and damaging a lower layer wiring layer. Moreover, this invention sets it as the 2nd purpose to offer the manufacture method of the semiconductor device which precision can improve a photoresist patterning, without being influenced of the reflected light while it attains the 1st purpose.

[0016]

[Means for Solving the Problem] The step which invention according to claim 1 is the manufacture method of a semiconductor device equipped with the wiring element of a dual pellet syn conformation, and forms the diffusion prevention film of metal on lower layer wiring, The step which forms the 1st insulator layer in the upper part of the aforementioned nucleic-acid prevention film, and the step which forms an etching stopper film in the upper part of the 1st insulator layer of the above. The step which forms the 2nd insulator layer in the upper part of the aforementioned etching stopper film, The step which forms in the upper part of the aforementioned lower layer wiring the beer hall which penetrates the 2nd insulator layer of the above, the aforementioned etching stopper film, and the 1st insulator layer, It is characterized by having the step which forms a wrap organic layer in the interior of the aforementioned beer hall for the wall of the beer hall, and the step which removes the predetermined part of the 2nd insulator layer of the above by etching, and forms a wiring slot after formation of the aforementioned organic layer.

[0017] Invention according to claim 2 is the manufacture method of a semiconductor device according to claim 1, and the aforementioned organic layer is characterized by being formed so that the aforementioned beer hall may be covered in the field from the base to the inside of the 2nd insulator layer of the above at least.

[0018] Invention according to claim 3 is the manufacture method of a semiconductor device according to claim 1 or 2, and the step which forms the aforementioned organic layer is characterized by having the step which embeds a photoresist to the interior of the aforementioned beer hall, and the step which stiffens the aforementioned photoresist.

[0019] Invention according to claim 4 is the manufacture method of a semiconductor device according to claim 1 or 2, and the step which forms the aforementioned organic layer is characterized by having the step which forms the layer of an organic acid-resisting agent in the interior of the aforementioned beer hall as the aforementioned organic layer.

[0020] The step which invention according to claim 5 is the manufacture method of the semiconductor device of four a claim 1 or given in any 1 term, and forms an etching stopper film on a silicon substrate. The step which forms the 0th insulator layer on the aforementioned etching stopper film, and the step which forms the slot for lower layer wiring by photoengraving process and anisotropic etching. It is characterized by having the step which embeds base-metal material after forming a high-melting point metal membrane into the aforementioned slot for lower layer wiring, the step which removes the excessive base-metal agent in the exterior of the slot for lower layer wiring, and the step which forms a high-melting point metal membrane in the upper part of the aforementioned base-metal material.

[0021] Invention according to claim 6 is the manufacture method of a semiconductor device according to claim 5. While having the step which carries out flattening until the front face of the 0th insulator layer of the above is exposed and base-metal material is lost to the exterior of the aforementioned slot for lower layer wiring, after embedding base-metal material into the aforementioned slot for lower layer wiring The step at which the step which forms the aforementioned high-melting point metal membrane forms the layer of a refractory metal in the upper part of the aforementioned silicon substrate and the aforementioned base-metal material. It is characterized by having the step which etches so that the layer of the aforementioned refractory metal may remain the aforementioned base-metal film only to a wrap predetermined field.

[0022] Invention according to claim 7 is the manufacture method of a semiconductor device according to claim 5. After embedding base-metal material into the aforementioned slot for lower layer wiring, while having the step to which only predetermined length hollows the front face of the aforementioned base-metal material as compared with the front face of the 0th insulator layer of the above The step which forms the layer of a refractory metal in the upper part of the 0th insulator layer of the above, and the aforementioned base-metal material after the step which forms the aforementioned high-melting point metal membrane hollows the front face of the aforementioned base-metal material. It is characterized by having the step which removes the film of the aforementioned refractory metal until the front face of the 0th insulator layer

reflected light which the 1st photoresist 42 receives becomes always almost fixed. Moreover, under the above-mentioned situation, since the strong reflected light is not generated by the lower layer wiring layer 30, the halation at the time of photoengraving process can prevent effectively. For this reason, according to processing of Step 7, patterning of the 1st photoresist 42 can be carried out with close dimensional accuracy.

[0035] Next, as shown in drawing 1 (C), anisotropy dry etching for carrying out opening of the beer hall 46 is performed (Step 8). Etching of Step 8 is first performed on the conditions suitable for removal of a silicon oxide. Consequently, the 2nd silicon nitride 36 is exposed to the bottom of a beer hall 46. Next, etching is performed on the conditions suitable for removal of a silicon nitride. Consequently, the 1st silicon oxide 34 is exposed to the bottom of a beer hall 46. Subsequently, etching is again performed on the conditions suitable for removal of a silicon oxide. Consequently, the 1st silicon nitride 32 is exposed to the bottom of a beer hall 46.

[0036] The conditions of etching of the above-mentioned step 8 are set up so that opening of the beer hall 46 may be suitably carried out in all the parts on a semiconductor wafer, namely, so that the 1st silicon nitride 32 may be exposed to the bottom of all the beer halls 46. More specifically, the amount of over etching is set that the 1st silicon nitride 32 is exposed to the bottom of all the beer halls 46. The portion comparatively exposed to the interior of a beer hall 46 at an early stage among the 1st silicon nitrides 32 functions as an etching stopper film over a long period of time in the process of the above-mentioned over etching. In this case, when etching for carrying out opening of the beer hall 46 is completed, as compared with the part of others [portions / those], there is a bird clapper thinly clearly.

[0037] As shown in drawing 1 (D), after etching for carrying out opening of the beer hall 46 is completed, the 1st photoresist 42 is removed (Step 9). Subsequently, a photoresist 48 is embedded to the interior of a beer hall 46 (Step 10). At least, a photoresist 48 is embedded so that the wall of a beer hall 46 may be covered to the field which exceeds the 2nd silicon nitride 36 from the base. On a 150-degree C hot plate, a photoresist 48 is the illuminance of 600 mW/cm², and is hardened by irradiating the DeepUV light during 120 seconds (Step 11). 2nd BARC50 is applied to the upper part of the 2nd silicon oxide 38, and the upper part of the photoresist 48 after hardening (Step 12).

[0038] As shown in drawing 1 (E), on 2nd BARC50, the 2nd photoresist 52 is formed of photoengraving process (Step 13). The 2nd photoresist 52 equips with opening 54 the position which should form a wiring slot. In the case of patterning of the 2nd photoresist 52, on the 2nd photoresist 52, where a mask is piled up, light is irradiated towards the 2nd photoresist 52. The great portion of light which passed the 2nd photoresist 52 is made the reflected light by 2nd BARC50. For this reason, according to processing of Step 13, the optical path difference of the reflected light and the problem of halation can be avoided, and patterning of the 2nd photoresist 52 can be carried out with close dimensional accuracy.

[0039] Next, as shown in drawing 1 (F), anisotropy dry etching for carrying out opening of the wiring slot 56 is performed (Step 14). Etching of Step 14 is first performed on the conditions suitable for removal of a silicon oxide. Consequently, the wiring slot 56 is formed until the 2nd silicon nitride 36 is exposed. Next, etching is performed on the conditions suitable for removal of a silicon nitride. Consequently, while the outcrop of the 1st silicon nitride is removed and the front face of the lower layer wiring layer 30 is exposed to the interior of a beer hall 46, the 2nd silicon nitride 36 which remained at the bottom of the wiring slot 56 is removed. An end of processing of Step 14 removes simultaneously the photoresist 48 which remains inside a beer hall 46, and the 2nd photoresist 52 which remains in the upper part of the 2nd silicon oxide 38 by ashing.

[0040] The above-mentioned etching is performed after the side of the interior of a beer hall 46, i.e., the outcrop of the 1st silicon nitride 32, and the breakthrough (hole by the beer hall 46) of the 2nd silicon nitride 36 has been protected by the photoresist 48. For this reason, in process of etching for the outcrop of the 1st silicon nitride 32 forming a wiring slot as compared with other parts, even when clearly thin, when opening of a beer hall 46 is completed While a beer hall 46 does not run through the 1st silicon nitride 32 at an early stage unfairly, the path of the breakthrough of the 2nd silicon nitride 32, i.e., the path of the upper-limit section of a beer hall 46, is not expanded unfairly. Therefore, according to the manufacture method of this operation form, the wiring element of a dual pellet syn conformation can be formed in the upper part of the lower layer wiring layer 30, without doing damage to the lower layer wiring layer 30.

[0041] By the way, in the above-mentioned operation form, in order to stiffen the photoresist 48 embedded to the interior of a beer hall 46, although Deep UV is irradiated at a photoresist 48, the technique of stiffening a photoresist 48 is not limited to this. for example, a postbake (heating) -- or it is good also as stiffening a photoresist 48 with those combination

[0042] in addition, the above-mentioned operation form -- setting -- the 1st silicon oxide 34 -- the "1st insulator layer" of the claim 1 aforementioned publication -- the 2nd silicon oxide 38 is equivalent to the "2nd insulator layer" of the claim 1 aforementioned publication, and the photoresist 48 is equivalent to the "organic layer" of the claim 1 aforementioned publication on the "etching stopper film" of the claim 1 aforementioned publication for the 2nd silicon nitride 36, respectively

[0043] The form 2 of operation of this invention is explained with reference to form 2. of operation, next drawing 2 . Drawing 2 (A) - drawing 2 (F) show drawing for explaining the manufacture method of the semiconductor device of the form 2 operation of this invention. As shown in drawing 2 (A) or drawing 2 (C), according to the manufacture method of this operation form, a beer hall 46 is formed by performing processing of Steps 1-8 like the case of the form 1 of operation.

[0044] In the manufacture method of this operation form, as shown in drawing 2 (D), after the 1st photoresist 42 is removed, the layer of 2nd BARC50 is simultaneously formed in the interior of (Step 9) a beer hall 46, and the upper part of the 2nd silicon oxide 38 (Step 15). Henceforth, the wiring slot 56 is formed by performing processing of Steps 13 and 14 like the case of the form 1 of operation.

[0045] In the manufacture method of this operation form, it functions in the process of etching for forming the wiring slot 56 as the same protective coat as the photoresist 48 in the form 1 of operation while it functions as an antireflection film, in case 2nd BARC50 carries out patterning of the 2nd photoresist 52. For this reason, according to the manufacture method of this operation form, as compared with the form 1 of operation, the same effect as the case of the form 1 of operation can be acquired at an easy process.

[0046] In addition, in the above-mentioned operation form, 2nd BARC50 is equivalent to the "organic layer" of the claim 1 aforementioned publication.

[0047] The form 3 of operation of this invention is explained with reference to form 3. of operation, next drawing 3 . Drawing 3 (A) or drawing 3 (F) shows drawing for explaining the manufacture method of the semiconductor device of this operation form. Although the embedding nature of the organic acid-resisting agent used as a material of 2nd BARC50 is used with the form 2 of operation, it is the same as that of the form 2 of operation except for the point which is inferior as compared with

embedding nature. [of the manufacture method of this operation form]

[0048] That is, by the manufacture method of the form 2 operation, since 2nd BARC50 is formed using the good organic acid-resisting agent of embedding nature, 2nd BARC50 is embedded to the whole interior of a beer hall 46. On the other hand, by the manufacture method of this operation form, since 2nd BARC50 is formed using the bad organic acid-resisting agent of embedding nature, 2nd BARC50 is formed so that only the wall surface of a beer hall 46 may be worn (refer to drawing 3 (D)).

[0049] 2nd BARC50 protects effectively the outcrop of the 1st silicon nitride 32, and near the breakthrough of the 2nd silicon nitride 36 in the process of etching for forming the wiring slot 56, even when being formed so that only the wall surface of a beer hall 46 may be worn. Therefore, the wiring element of a dual pellet syn conformation can be formed in the upper part by the manufacture method of this operation form as well as the case of the forms 1 and 2 of operation, without doing damage to the lower layer wiring layer 30.

[0050] The form 4 of operation of this invention is explained with reference to form 4. of operation, next drawing 4. Drawing 4 (A) - drawing 4 (G) show drawing (left : a cross section, right : plan) for explaining the manufacture method of the semiconductor device of the form 4 operation of this invention. it is shown in drawing 4 (A) -- as -- the manufacture method of this operation form -- setting -- the case of the form 1 of operation -- the same -- processing of Steps 1-5 -- the [the lower layer wiring layer 30, the 1st silicon nitride 32, the 1st silicon oxide 34, the 2nd silicon nitride 36, and] -- the 2 silicon oxide 38 is formed one by one

[0051] this operation form -- setting -- the [the 1st and] -- the 2 silicon oxides 34 and 38 contain 3 - 4% of fluorine. Such a silicon oxide shows a small dielectric constant as compared with what does not contain a fluorine. the [moreover, / the 1st and] -- a ratio with Si₃N₄ film with which 2 silicon nitrides 32 and 36 are widely used for passivation, i.e., silicon, and nitrogen is the film of 3:4 a silicon nitride -- silicon, so that it becomes rich -- an absorption coefficient -- high -- becoming -- nitrogen -- a dielectric constant falls, so that it becomes rich. Like this operation form, according to the silicon nitride with a high nitrogen ratio, while an absorption coefficient is not securable, it can suppress a dielectric constant small. Therefore, according to the structure of this operation form, the wiring capacity of a semiconductor device can be suppressed small enough.

[0052] The high-melting point metal membrane 58 which has about 600-1000Å thickness is formed in the upper part of the 2nd silicon nitride 38 (Step 16). A titanium nitride is used for the high-melting point metal membrane 58 in this operation form. The 1st photoresist 42 is formed in the upper part of the high-melting point metal membrane 58 like the case of the form 1 of operation of photoengraving process (Step 7).

[0053] As for the light which penetrates the 1st photoresist in the case of the photoengraving process of the 1st photoresist 42, the most is reflected by the high-melting point metal membrane 58. for this reason, according to the manufacture method of this operation form, BARC is not formed in the lower part of the 1st photoresist 42 -- being also alike -- not being concerned -- the [moreover, / the 1st and] -- precision can improve the 1st photoresist 42 patterning, without being influenced by the halation and the optical path difference of the reflected light although the absorption coefficient of 2 silicon nitrides 32 and 36 is comparatively small

[0054] As shown in drawing 4 (B), the high-melting point metal membrane 58 exposed to the opening 44 of the 1st photoresist 42 is removed by etching (Step 17). Subsequently, as shown in drawing 4 (C), by performing processing of Steps 8-11 like the case of the gestalt 1 of operation, a beer hall 46 is formed and a photoresist 48 (organic layer) is further formed in the interior.

[0055] An end of processing (removal of the 1st photoresist 42) of Step 11 forms [next] the 2nd photoresist 52 in the upper part of the high-melting point metal membrane 58 by performing processing of Step 13. As for the light which penetrates the interior in the case of the photoengraving process of the 2nd photoresist 52, the most is reflected by the high-melting point metal membrane 58 like the case of the photoengraving process of the 1st photoresist 42. For this reason, [0056] which precision can improve the 2nd photoresist 52 patterning, without according to the manufacture method of this operation gestalt being influenced by the halation and the optical path difference of the reflected light in spite of not forming BARC in the lower part of the 2nd photoresist 52. By the manufacture method of this operation gestalt next, as shown in drawing 4 (E), the high-melting point metal membrane 58 exposed to the opening 54 of the 2nd photoresist 52 is removed by etching (Step 18).

[0057] Subsequently, as shown in drawing 4 (F), the wiring slot 56 is formed of processing of Step 14 like the case of the gestalt 1 of operation. Etching for forming the wiring slot 56 is performed after the outcrop of the 1st silicon nitride 32 and near the breakthrough of the 2nd silicon nitride 36 have been protected by the photoresist 48. For this reason, according to the manufacture method of this operation gestalt, the wiring element of a dual pellet syn conformation can be formed in the upper part with a sufficient precision like the case of the gestalt 1 of operation, without doing an injury to the lower layer wiring layer 30.

[0058] The wiring slot 56 is formed, and further, if 2nd photoresist 52 grade is removed by ashing, as shown in drawing 4 (G), the high-melting point metal membrane 58 will be removed from the upper part of the 2nd silicon oxide 38 by wet etching (Step 19). After the above-mentioned processing is completed, desired structure can be acquired like the case where it is the gestalt 1 of operation.

[0059] Drawing 5 (A) and drawing 5 (B) show the cross section and plan of a semiconductor device which are manufactured by the manufacture method of this operation gestalt, and the method contrasted. More specifically, drawing 5 (A) and drawing 5 (B) show the state of realizing when the 2nd photoresist 52 is formed without forming the high-melting point metal membrane 58 in the upper part of the 2nd silicon oxide 38.

[0060] Drawing 6 shows the relation between the reflection factor obtained when light (i line) is irradiated from the upper part of the 2nd silicon oxide 38 to the structure shown in drawing 5, and the thickness of a layer insulation film (32 - 38 grade). Moreover, drawing 7 shows the relation between the reflection factor obtained when light (i line) is irradiated from the upper part of the high-melting point metal membrane 58 to the structure (structure of this operation gestalt) shown in drawing 4, and the thickness of a layer insulation film.

[0061] When the high-melting point metal membrane 58 is not formed in the front face of the 2nd silicon oxide 38, the light irradiated towards the semiconductor device penetrates a layer insulation film, and is reflected in a silicon substrate or the lower layer wiring layer 30. In this case, the optical path length of the reflected light changes according to the thickness of a layer insulation film, consequently the interference state of an incident light and the reflected light changes. In this case, the reflection factor of light is changed according to the thickness of a layer insulation film, as shown in drawing 6. For this

of the above is exposed so that the layer of the aforementioned refractory metal may remain the aforementioned base-metal film only to a wrap predetermined field.

[0023] The step which invention according to claim 8 is the manufacture method of the semiconductor device of four a claim 1 or given in any 1 term, and forms the aforementioned lower layer wiring layer The step which forms the slot for lower layer wiring in the 0th insulator layer, and the step which embeds base-metal material after forming a refractory metal into the aforementioned slot for lower layer wiring. It is characterized by having the step which forms in the upper part of the aforementioned base-metal material the silicon nitride which has the absorption coefficient of 0.5-1.0.

[0024] After embedding base-metal material into the aforementioned slot for lower layer wiring, while invention according to claim 9 is the manufacture method of a semiconductor device according to claim 8, and having the step which carries out flattening of the front face of the 0th insulator layer of the above, and the front face of the aforementioned base-metal material The step at which the step which forms the aforementioned silicon nitride forms in the upper part of the aforementioned silicon substrate and the aforementioned base-metal material the layer of the silicon nitride which has the absorption coefficient of 0.5-1.0. It is characterized by having the step which etches so that the layer of the aforementioned silicon nitride may remain the aforementioned base-metal film only to a wrap predetermined field.

[0025] Invention according to claim 10 is the manufacture method of a semiconductor device according to claim 8. After embedding base-metal material into the aforementioned slot for lower layer wiring, while having the step to which only predetermined length hollows the front face of the aforementioned base-metal material as compared with the front face of the 0th insulator layer of the above The step which forms the layer of a silicon nitride in the upper part of the aforementioned silicon substrate and the aforementioned base-metal material after the step which forms the aforementioned silicon nitride hollows the front face of the aforementioned base-metal material. It is characterized by having the step which removes the layer of the aforementioned silicon nitride until the front face of the 0th insulator layer of the above is exposed so that the layer of the aforementioned silicon nitride may remain the aforementioned base-metal film only to a wrap predetermined field.

[0026] Invention according to claim 11 is the manufacture method of the semiconductor device of ten a claim 1 or given in any 1 term, and the aforementioned etching stopper film is characterized by including the silicon nitride which has the absorption coefficient of 0.5-1.0.

[0027] The step which invention according to claim 12 is the manufacture method of the semiconductor device of 11 a claim 1 or given in any 1 term, and forms the high-melting point metal membrane for acid resisting in the upper part of the 2nd insulator layer of the above before carrying out opening of the aforementioned beer hall. After the aforementioned wiring slot is formed, the step which is equipped with the step which removes the aforementioned high-melting point metal membrane for acid resisting which remains in the upper part of the 2nd insulator layer of the above, and carries out opening of the aforementioned beer hall The step which forms the aforementioned wiring slot is characterized by including the step which removes the part corresponding to the aforementioned wiring slot of the aforementioned high-melting point metal membrane for acid resisting including the step which removes the part corresponding to the aforementioned beer hall of the aforementioned high-melting point metal membrane for acid resisting.

[0028] Invention according to claim 13 is the manufacture method of the semiconductor device of 11 a claim 1 or given in any 1 term. The step which forms in the upper part of the 2nd insulator layer of the above the silicon nitride for acid resisting which has the absorption coefficient of 0.5-1.0 before carrying out opening of the aforementioned beer hall. After the aforementioned wiring slot is formed, the step which is equipped with the step which removes the aforementioned silicon nitride for acid resisting which remains in the upper part of the 2nd insulator layer of the above, and carries out opening of the aforementioned beer hall The step which forms the aforementioned wiring slot is characterized by including the step which removes the part corresponding to the aforementioned wiring slot of the aforementioned silicon nitride for acid resisting including the step which removes the part corresponding to the aforementioned beer hall of the aforementioned silicon nitride for acid resisting.

[0029] The step which invention according to claim 14 is the manufacture method of the semiconductor device of 11 a claim 1 or given in any 1 term, and carries out opening of the aforementioned beer hall The step which forms the 1st organic antireflection film in the upper part of the 2nd insulator layer of the above. The step which forms the aforementioned wiring slot in the part corresponding to the aforementioned beer hall at the upper part of the aforementioned 1st organic antireflection film including the step which forms the 1st photoresist film which has opening It is characterized by including the step which forms the 2nd photoresist film which has opening to the part corresponding to the aforementioned wiring slot at the step which forms the 2nd organic antireflection film in the upper part of the 2nd insulator layer of the above, and the upper part of the aforementioned 2nd organic antireflection film.

[0030]

[Embodiments of the Invention] Hereafter, the gestalt of implementation of this invention is explained with reference to a drawing. In addition, the explanation which gives the same sign to the element which is common in each drawing, and overlaps is omitted.

[0031] Gestalt 1. drawing 1 (A) of operation - drawing 1 (F) show drawing for explaining the manufacture method of the semiconductor device of the gestalt 1 operation of this invention. As shown in drawing 1 (A), in the manufacture method of this operation gestalt, the lower layer wiring layer 30 is first formed into the lower layer wiring slot (not shown) established in the silicon substrate (Step 1). The lower layer wiring layer 30 has 13000Å thickness, and copper is formed as base-metal material.

[0032] Next, the 2nd silicon nitride 36 (Step 4) which has the thickness of the 34 (Step 3) or 3600Å of the 1st silicon oxide which has the thickness of the 32 (Step 2) or 12000Å of the 1st silicon nitrides which have 600Å thickness, and the 2nd silicon oxide 38 (Step 5) which has 13000Å are formed one by one on the lower layer wiring layer 30.

[0033] As shown in drawing 1 (B), the 1st organic antireflection film 40 ("1st BARC40": Bottom Anti-Reflective Coating is called hereafter) which consists of well-known organic acid-resisting material is applied to the upper part of the 2nd silicon oxide 38 (Step 6). On 1st BARC40, the 1st photoresist 42 is formed of photoengraving process (Step 7). The 1st photoresist 42 equips with opening 44 the position which should form a beer hall.

[0034] In the case of patterning of the 1st photoresist 42, on the 1st photoresist 42, where a mask is piled up, light is irradiated towards the 1st photoresist 42. The great portion of light which passed the 1st photoresist 42 is made the reflected light by 1st BARC40. In this case, it is not concerned with the variation in the thickness of a layer insulation film, but the optical path length of the reflected light becomes fixed, and the interference state of the direct light and the

reason, when the high-melting point metal membrane 58 is not formed in the front face of the 2nd silicon oxide 38, the sensitization state of the 2nd photoresist 52 tends to be influenced of the variation in the thickness of a layer insulation film.

[0062] Furthermore, when the high-melting point metal membrane 58 is not formed in the front face of the 2nd silicon oxide 38, the strong reflected light occurs in the lower layer wiring layer 30, and in case it is the photoengraving process of the 2nd photoresist 52, the halation by the reflected light arises. For this reason, when the high-melting point metal membrane 58 is not formed, as shown in drawing 5 (B), it is easy to produce a pattern error in the opening 44 of the 2nd photoresist 52.

[0063] On the other hand, even if the thickness of a layer insulation film (32 - 38 grade) changes as shown in drawing 7 since the light irradiated towards the semiconductor device is reflected by the high-melting point metal membrane 58 when the high-melting point metal membrane 58 is formed in the front face of the 2nd silicon oxide 38, the reflection factor of light is maintained at about 1 constant value. Furthermore, since irradiation light does not reach the lower layer wiring layer 10 in this case, the problem of halation does not arise. For this reason, according to the manufacture method of this operation gestalt, as shown in drawing 4 (D) etc., the 2nd photoresist 52 can be formed with a sufficient precision.

[0064] Thus, in the manufacture method of this operation gestalt, the high-melting point metal membrane 58 formed in the front face of the 2nd silicon oxide 38 functions as ARC which prevents generating of the reflected light leading to a pattern error. Moreover, unlike the gestalt 1 of operation, or the case of 3, whenever it forms the 1st and 2nd photoresists 42 and 52, it is not necessary according to using the high-melting point metal membrane 58 as ARC, to form ARC. For this reason, according to the manufacture method of this operation gestalt, the semiconductor device which has an advanced configuration precision at an easy process can be manufactured.

[0065] In addition, in the above-mentioned operation gestalt, the high-melting point metal membrane 58 is equivalent to the "high-melting point metal membrane for acid resisting" of the claim 12 aforementioned publication.

[0066] The gestalt 5 of operation, next operation of this invention is explained. The manufacture method of the semiconductor device of this operation gestalt is realized because a ratio with the silicon nitride which has the absorption coefficient of 0.5-1.0, i.e., silicon, and nitrogen uses the high-melting point metal membrane 58 in the manufacture method of the gestalt 4 operation as the SiN film of 1:1. According to the above-mentioned silicon nitride, it functions as ARC on the 2nd silicon oxide 38 like the case of the high-melting point metal membrane 58. For this reason, the semiconductor device which was excellent in the dimensional accuracy can be formed by the manufacture method of this operation gestalt as well as the case of the gestalt 4 of operation.

[0067] Moreover, unlike the high-melting point metal membrane 58, a silicon nitride is an insulator layer. Therefore, it is not necessary to necessarily remove the silicon nitride formed on the 2nd silicon oxide 38. For this reason, according to the manufacture method of this operation gestalt, as compared with the manufacture method of the gestalt 4 operation, simplification of the further process is possible.

[0068] In addition, in the above-mentioned operation gestalt, the silicon nitride (SiN film) formed on the 2nd silicon oxide is equivalent to the "silicon nitride for acid resisting" of the claim 13 aforementioned publication.

[0069] The gestalt 6 of operation of this invention is explained with reference to gestalt 6. of operation, next drawing 8. Drawing 8 (A) or drawing 8 (H) shows drawing for explaining the principal part of the manufacture method of the semiconductor device of this operation gestalt.

[0070] As shown in drawing 8 (A), by the manufacture method of this operation gestalt, the silicon oxide 62 which has 13000Å thickness is first formed of CVD on the silicon nitride 60 which has 600Å thickness (Step 20).

[0071] Next, as shown in drawing 8 (B), patterning of the slot 64 for lower layer wiring is carried out to a silicon oxide 62 by photoengraving process and anisotropic etching (Step 21).

[0072] As shown in drawing 8 (C), the high-melting point metal membrane 66 which has about 500-1000Å thickness is formed in the upper part of a silicon oxide 62, and the interior of the slot 64 for lower layer wiring of a spatter or CVD (Step 22). The high-melting point metal membrane 66 is formed of titanium, the titanium nitride, the tantalum, or the tantalum nitride.

[0073] As shown in drawing 8 (D), the base-metal material 68 which has 15000-20000Å thickness is formed in the upper part (the interior of the slot 64 for lower layer wiring is included) of the high-melting point metal membrane 66 of a spatter, CVD, plating, or those combination (Step 23). In this operation gestalt, the base-metal material 68 is formed with copper.

[0074] it is shown in drawing 8 (E) -- as -- the base-metal material 68 and a refractory metal 66 -- the CMP method -- or flattening of the front face of the base-metal material 68 and the front face of a silicon oxide 62 is carried out by the technique of whole surface etchback (Step 24)

[0075] As shown in drawing 8 (F), the high-melting point metal membrane 70 which has about 100-1000Å thickness is formed in the upper part of the silicon oxide 62 by which flattening was carried out, and the base-metal material 68 by making titanium deposit by the same technique as the case of Step 22 (Step 25).

[0076] As shown in drawing 8 (G), if it is a pile, the portion which any of the base-metal material 68 and the high-melting point metal membrane 66 do not have among the high-melting point metal membranes 70 is removed by photoengraving process and etching (Step 26). By performing the above-mentioned processing, only the portion corresponding to the slot 64 for lower layer wiring in a refractory metal 70 remains. Consequently, the lower layer wiring layer 30 is formed of the base-metal material 68 and the high-melting point metal membranes 66 and 70. In addition, in processing of Step 26, photoengraving process is performed using the mask (reticle) used for patterning (step 21 reference) of the slot 64 for lower layer wiring, and the photoresist used on that occasion and the photoresist which has reverse polarity (a negative or positive).

[0077] As shown in drawing 8 (H), the 1st silicon oxide 34, the 2nd silicon nitride 36, and the 2nd silicon oxide 38 are formed in the upper part of a silicon oxide 62 and the lower layer wiring layer 30 one by one by performing processing of Steps 3-5 like the gestalt 1 of operation, or the case of 5. Henceforth, the wiring element of a dual pellet syn conformation is formed in the upper part of the lower layer wiring layer 30 by performing processing to approximate like any [the gestalt 1 of operation, or] of 5 they are.

[0078] In the manufacture method of this operation gestalt, the wrap refractory-metal material 70 functions as ARC which prevents the halation according the base-metal material 68 of the lower layer wiring layer 30 to the reflected light in the case of the photoengraving process of the 1st or 2nd photoresist 42 and 52. moreover, the silicon with which the 2nd silicon nitride 36 has the absorption coefficient of 0.5-1.0 in this operation gestalt -- it is formed by the rich nitride More

[0092] Henceforth, desired composition is realized by performing the form 6 of operation mentioned above, or the same processing as the case of 8. In the manufacture method of this operation form, the 1st silicon nitride 32 functions as ARC, a barrier layer, and an etching stopper film like the case of the form 8 (refer to drawing 10) of operation. For this reason, according to the manufacture method of this operation form, the semiconductor device which has the dimensional accuracy excellent in the easy process can be manufactured.

[0093] According to the manufacture method of this operation form, as compared with the case of the form 8 of operation, residual area of the 1st silicon nitride 32 can be made small. The wiring capacity of a semiconductor device becomes so little that the area of a silicon nitride is small. Therefore, according to the manufacture method of this operation form, the small semiconductor device of wiring resistance can be manufactured as compared with the case of the form 8 of operation.

[0094] The form 7 of operation of this invention is explained with reference to form 10. of operation, next drawing 12. Drawing 12 (A) - drawing 12 (E) show drawing for explaining the principal part of the manufacture method of the semiconductor device of this operation form.

[0095] Drawing 12 (A) shows the same state as drawing 8 (E) in the form 6 of operation. By the manufacture method of this operation form, the state of drawing 12 (A) is formed by performing processing of Steps 20-24 like the case of the form 6 of operation. As shown in drawing 12 (B), by the manufacture method of this operation form next, processing of Step 27 is performed like the case of the form 7 (refer to drawing 9) of operation. Consequently, as compared with the front face of a silicon oxide 62, about 100-1000Å of front faces of the base-metal material 68 is made low by over etching or over etching.

[0096] The 1st silicon nitride 32 is formed on over etching or the silicon oxide 62 by which exaggerated polishing was carried out, and the base-metal material 68 (Step 2). the silicon which has the absorption coefficient of 0.5-1.0 in the 1st silicon nitride 32 in this operation form like the case of the forms 8 or 9 (drawing 10 and 11 references) of operation -- the SiN film of 1:1 is used for a ratio with a rich film, i.e., silicon, and nitrogen (drawing 12 (C))

[0097] It is removed by the whole surface etchback method or the CMP method until the front face and front face of a silicon oxide 62 become flat [the 1st silicon nitride 32], as shown in drawing 12 (D) (Step 30). By performing the above-mentioned processing, the lower layer wiring layer 30 is formed into a silicon oxide 62.

[0098] Henceforth, desired composition is realized by performing the form 6 of operation mentioned above, or the same processing as the case of 9. In the manufacture method of this operation form, the 1st silicon nitride 32 functions as ARC, barrier metal, and an etching stopper film like the case of the forms 8 and 9 (drawing 10 and 11 references) of operation. For this reason, according to the manufacture method of this operation form, the semiconductor device which has the dimensional accuracy excellent in the easy process can be manufactured.

[0099] Moreover, according to the manufacture method of this operation form, while being able to make small residual area of the 1st silicon oxide 32, flattening of the front face of the 1st silicon oxide 32 and the front face of a silicon oxide 62 can be carried out. For this reason, according to the manufacture method of this operation form, while manufacturing a semiconductor device with a small wiring capacity, a highly precise wiring element can be easily formed on the lower layer wiring layer 30.

[0100]

[Effect of the Invention] Since this invention is constituted as explained above, an effect as taken below is done so.

According to invention according to claim 1, after an organic layer is formed in the interior of a beer hall, etching for forming a wiring slot is performed. In this case, since an organic layer serves as a protective coat, a lower layer wiring layer does not receive an injury by etching for forming a wiring slot.

[0101] According to invention according to claim 2, the organic layer is formed to the upper part of an etching stopper film. In this case, in the process of etching for forming a wiring slot, the breakthrough (hole by the beer hall) of an etching stopper layer is protected by the organic layer. Therefore, according to this invention, the injury on the lower layer wiring layer by the path of the upper limit of a beer hall being expanded can be prevented.

[0102] According to invention according to claim 3, an organic layer can be formed at an easy process by using a photoresist.

[0103] According to invention according to claim 4, an organic layer can be formed at an easy process by using an organic acid-resisting agent. Moreover, in forming an organic antireflection film on the 2nd insulator layer, in case it forms an organic antireflection film according to this invention, it can serve with the process and an organic layer can be formed easily.

[0104] According to invention according to claim 5, the base-metal material of a lower layer wiring layer can be covered by the high-melting point metal membrane. According to the high-melting point metal membrane, the halation of the reflected light can be prevented. Therefore, according to this invention, patterning of the photoresist can be carried out by the outstanding dimensional accuracy, without being influenced by halation in the case of photoengraving process.

[0105] According to invention according to claim 6, a wrap high-melting point metal membrane can be formed only for the upper surface of the base-metal material of a lower layer wiring layer at an easy process.

[0106] According to invention according to claim 7, a wrap high-melting point metal membrane can be formed in the interior of the slot for lower layer wiring only for the upper surface of the base-metal material of a lower layer wiring layer at an easy process. In this case, since the width of face of a high-melting point metal membrane does not overflow the width of face of a lower layer wiring layer, the short margin between wiring elements can be made small. Moreover, since the front face of a high-melting point metal membrane and the front face of a silicon substrate become flat, the wiring element formed in the upper part of a lower layer wiring layer can be easily formed with a sufficient precision.

[0107] According to invention according to claim 8, the base-metal material of a lower layer wiring layer can be covered by the silicon nitride which has the absorption coefficient of 0.5-1.0. According to the above-mentioned silicon nitride, the halation of the reflected light can be prevented. Therefore, according to this invention, patterning of the photoresist can be carried out by the outstanding dimensional accuracy, without being influenced by halation in the case of photoengraving process.

[0108] According to invention according to claim 9, the silicon nitride which has the absorption coefficient of 0.5-1.0 can be formed at an easy process so that only the upper surface of the base-metal material of a lower layer wiring layer may be worn. Therefore, wiring capacity can be suppressed small, realizing the function to prevent halation according to this invention.

[0109] According to invention according to claim 10, the silicon nitride which has the absorption coefficient of 0.5-1.0 can be formed in the interior of the slot for lower layer wiring at an easy process so that only the upper surface of the base-metal material of a lower layer wiring layer may be worn. In this case, since the front face of a silicon nitride and the front face of

a silicon substrate become flat, the wiring element formed in the upper part of a lower layer wiring layer can be easily formed with a sufficient precision.

[0110] According to invention according to claim 11, the etching stopper film which functions as a stopper film in the case of etching of a wiring slot is formed by the silicon nitride which has the absorption coefficient of 0.5–1.0. In this case, since the amount of transparency of light is suppressed with an etching stopper film, the influence of halation is further mitigable.

[0111] According to invention according to claim 12, the high-melting point metal membrane for acid resisting is formed in the front face of the 2nd insulator layer. In this case, since light is efficiently reflected on the front face of the high-melting point metal membrane for acid resisting, the optical path difference does not arise in the reflected light. Therefore, according to this invention, precision can improve a photoresist extremely patterning.

[0112] According to invention according to claim 13, the silicon nitride for acid resisting which has the absorption coefficient of 0.5–1.0 is formed in the front face of the 2nd insulator layer. In this case, since light is efficiently reflected on the front face of the silicon nitride for acid resisting, the optical path difference does not arise in the reflected light. Therefore, according to this invention, precision can improve a photoresist extremely patterning.

[0113] According to invention according to claim 14, where an organic antireflection film is formed between the 2nd insulator layer and a photoresist, sensitization processing of a photoresist is performed. In this case, since the light irradiated by the photoresist is efficiently reflected on the front face of an organic antireflection film, the optical path difference does not arise in the reflected light. Therefore, according to this invention, precision can improve a photoresist extremely patterning.

[Translation done.]

specifically, the ratio of silicon and nitrogen is formed of SiN of 1:1. According to such a 2nd silicon nitride 36, transparency of irradiation light can be effectively prevented in the case of the photoengraving process of the 1st or 2nd photoresist 42 and 52, and the halation by the reflected light can be prevented effectively.

[0079] In the gestalt 1 of operation, or 5, in order to prevent aggravation of the pattern precision resulting from the halation of the reflected light etc., the organic antireflection film, the high-melting point metal membrane, etc. are formed on the 2nd silicon oxide 38. However, in the manufacture method of this operation gestalt, the function of ARC can be filled like the above by the high-melting point metal membrane 70 and the 2nd silicon nitride 36 of the lower layer wiring layer 30. For this reason, in the manufacture method of this operation gestalt, even if it omits ARC of the upper part of the 2nd silicon oxide 38, the error of the pattern precision resulting from the reflected light can be suppressed effectively, and the semiconductor device which has a highly precise dimensional accuracy can be manufactured.

[0080] Moreover, in addition to the wrap high-melting point metal membrane 70 functioning the base-metal material 68 as ARC, in the manufacture method of this operation gestalt, it functions also as oxidization of the base-metal material 68 (copper), and a barrier metal which prevents diffusion. Furthermore, in case the high-melting point metal membrane 70 etches the 1st silicon oxide 34, it functions also as a stopper film which stops advance of the etching. For this reason, according to the manufacture method of this operation gestalt, it is not necessary to form the 1st silicon nitride 32 needed by the gestalt 1 of operation, or 5 on the lower layer wiring layer 30. If the 1st silicon nitride 32 is omissible, the dielectric constant of a layer insulation film will fall and wiring capacity will fall. Therefore, according to the manufacture method of this operation gestalt, as compared with the gestalt 1 of operation, or the case of 5, a semiconductor device with a small wiring capacity can be manufactured.

[0081] The gestalt 7 of operation of this invention is explained with reference to gestalt 7. of operation, next drawing 9. Drawing 9 (A) - drawing 9 (E) show drawing for explaining the principal part of the manufacture method of the semiconductor device of this operation gestalt.

[0082] Drawing 9 (A) shows the same state as drawing 8 (E) in the gestalt 6 of operation. By the manufacture method of this operation gestalt, the state of drawing 9 (A) is formed by performing processing of Steps 20-24 like the case of the gestalt 6 of operation. As shown in drawing 9 (B), by the manufacture method of this operation gestalt, over etching or exaggerated polishing is performed so that about 100-1000Å of front faces of the base-metal material 68 may become low as compared with the front face of a silicon oxide 62 (Step 27).

[0083] On over etching or the silicon oxide 62 by which exaggerated polishing was carried out, and the base-metal material 68, the about 100-1000Å high-melting point metal membrane 70 is formed by the same technique as Step 25 of the gestalt 8 of operation (drawing 9 (C)).

[0084] It is removed by the whole surface etchback method or the CMP method until the front face and front face of a silicon oxide 62 become flat [the high-melting point metal membrane 70], as shown in drawing 9 (D) (Step 28). By performing the above-mentioned processing, the lower layer wiring layer 30 is formed into a silicon oxide 62.

[0085] Henceforth, desired composition is realized by performing the same processing as the case of the gestalt 6 of operation mentioned above. In the manufacture method of this operation gestalt, the high-melting point metal membrane 70 of the lower layer wiring layer 30 functions as ARC, barrier metal, and an etching stopper film like the case of the gestalt 6 of operation. For this reason, the semiconductor device which has the dimensional accuracy which was excellent in the easy process like the case of the gestalt 6 of operation also by the manufacture method of this operation gestalt can be manufactured. Moreover, according to the manufacture method of this operation gestalt, flattening of the front face of the lower layer wiring layer 30 and the front face of a silicon oxide 62 can be carried out. For this reason, according to the manufacture method of this operation gestalt, as compared with the case of the gestalt 6 of operation, a wiring element can be formed with a sufficient precision on the lower layer wiring layer 30 still more easily.

[0086] The gestalt 7 of operation of this invention is explained with reference to gestalt 8. of operation, next drawing 10. Drawing 10 (A) - drawing 10 (C) show drawing for explaining the principal part of the manufacture method of the semiconductor device of this operation gestalt.

[0087] Drawing 10 (A) shows the same state as drawing 8 (E) in the gestalt 6 of operation. By the manufacture method of this operation gestalt, the state of drawing 10 (A) is formed by performing processing of Steps 20-24 like the case of the gestalt 6 of operation. As shown in drawing 10 (B), the 1st silicon nitride 32 is formed in the upper part of a silicon oxide 62 and the base-metal material 68 by the manufacture method of this operation gestalt (Step 2). the silicon which has the absorption coefficient of 0.5-1.0 in the 1st silicon nitride 32 in this operation gestalt -- a ratio with a rich film, i.e., silicon, and nitrogen is the SiN film of 1:1

[0088] After the 1st silicon nitride 32 is formed, desired composition is realized by performing the same processing as the case where they are the gestalten 6 and 7 of operation mentioned above. In the manufacture method of this operation gestalt, the 1st silicon nitride 32 functions as ARC, a barrier layer, and an etching stopper film like the high-melting point metal membrane 70 in the gestalten 6 or 7 of operation. For this reason, according to the manufacture method of this operation gestalt, the semiconductor device which has the dimensional accuracy excellent in the easy process can be manufactured.

[0089] The form 7 of operation of this invention is explained with reference to form 9. of operation, next drawing 11. Drawing 11 (A) - drawing 11 (C) show drawing for explaining the principal part of the manufacture method of the semiconductor device of this operation form.

[0090] Drawing 11 (A) shows the same state as drawing 8 (E) in the form 6 of operation. By the manufacture method of this operation form, the state of drawing 11 (A) is formed by performing processing of Steps 20-24 like the case of the form 6 of operation. As shown in drawing 11 (B), the 1st silicon nitride 32 is formed in the upper part of a silicon oxide 62 and the base-metal material 68 by the manufacture method of this operation form (Step 2). the silicon which has the absorption coefficient of 0.5-1.0 like the case of the form 8 (refer to drawing 10) of operation in the 1st silicon nitride 32 in this operation form -- the SiN film of 1:1 is used for a ratio with a rich film, i.e., silicon, and nitrogen

[0091] As shown in drawing 11 (C), if it is a pile, the portion which any of the base-metal material 68 and the high-melting point metal membrane 66 do not have among the 1st silicon nitrides 32 is removed by photoengraving process and etching (Step 29). By performing the above-mentioned processing, only the portion corresponding to the slot 64 for lower layer wiring in the 1st silicon nitride 32 remains. In addition, in processing of Step 29, photoengraving process is performed using the mask (reticle) used for patterning (step 21 reference) of the slot 64 for lower layer wiring, and the photoresist used on that occasion and the photoresist which has reverse polarity (a negative or positive).

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing for explaining the manufacture method of the semiconductor device of the gestalt 1 operation of this invention.

[Drawing 2] It is drawing for explaining the manufacture method of the semiconductor device of the gestalt 2 operation of this invention.

[Drawing 3] It is drawing for explaining the manufacture method of the semiconductor device of the gestalt 3 operation of this invention.

[Drawing 4] It is drawing for explaining the manufacture method of the semiconductor device of the gestalt 4 operation of this invention.

[Drawing 5] It is drawing for explaining the state where it is obtained when the high-melting point metal membrane for acid resisting is not used.

[Drawing 6] It is drawing showing the relation of the thickness of a layer insulation film and a reflective film in case the high-melting point metal membrane for acid resisting is not used.

[Drawing 7] It is drawing showing the relation of the thickness of a layer insulation film and a reflective film in case the high-melting point metal membrane for acid resisting is used.

[Drawing 8] It is drawing for explaining the principal part of the manufacture method of the semiconductor device of the gestalt 6 of operation of this invention.

[Drawing 9] It is drawing for explaining the principal part of the manufacture method of the semiconductor device of the gestalt 7 of operation of this invention.

[Drawing 10] It is drawing for explaining the principal part of the manufacture method of the semiconductor device of the gestalt 8 of operation of this invention.

[Drawing 11] It is drawing for explaining the principal part of the manufacture method of the semiconductor device of the gestalt 9 of operation of this invention.

[Drawing 12] It is drawing for explaining the principal part of the manufacture method of the semiconductor device of the gestalt 10 of operation of this invention.

[Drawing 13] It is drawing for explaining the principal part of the manufacture method of the conventional semiconductor device.

[Drawing 14] It is drawing for explaining the trouble of the manufacture method of the conventional semiconductor device.

[Description of Notations]

30 Lower Layer Wiring Layer 32 1st Silicon Nitride 34 1st Silicon Oxide, 36 The 2nd silicon nitride 38 The 2nd silicon oxide, 40 The 1st organic antireflection film (the 1st BARC) 42 The 1st photoresist, 46 Beer hall 48 Photoresist 50 The 2nd organic antireflection film (the 2nd BARC), 52 The 2nd photoresist 56 A wiring slot, 58; 70 High-melting point metal membrane 64 Slot for lower layer wiring 68 Base-metal material.

[Translation done.]

特開2000-150644
(P2000-150644A)

(43)公開日 平成12年5月30日(2000.5.30)

(51)Int.Cl.	機明記号	P I	テロド(参考)
H 01 L 21/788		H 01 L 21/30	A 5 F 0 0 4
21/302		21/302	Z 5 F 0 3 3
21/3205		21/88	K
		21/90	M

(21)出願番号	特願平10-318556	審査請求 未請求	請求項の数14	OL (全 18 頁)
(22)出願日	平成10年11月10日(1998.11.10)	(71)出願人	000008013	
			三菱電機株式会社	
		(72)発明者	東京都千代田区丸の内二丁目2番3号	
			原田 明彦	
		(72)発明者	東京都千代田区丸の内二丁目2番3号 三	
			菱電機株式会社内	
			片岡 廣幸	
		(72)発明者	東京都千代田区丸の内二丁目2番3号 三	
			菱電機株式会社内	
		(74)代理人	100082175	
			弁理士 高田 守 (外1名)	

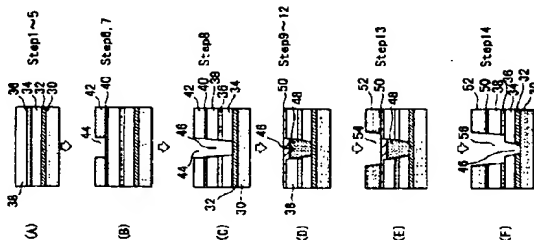
最終頁に続く

(54)【発明の名称】 半導体デバイスの製造方法

(57)【要約】

【課題】 本発明は下層配線層の上部にデュアルゲート構造の配線要素を備える半導体デバイスの製造方法に関し、下層配線層の損傷を防止することを目的とする。

【解決手段】 下層配線層30の上部に、第1シリコン窒化膜32、第1シリコン酸化膜34、第2シリコン窒化膜36および第2シリコン酸化膜38を順次形成する(ステップ1～5)。下層配線層30の上部に、第2シリコン窒化膜38、および、第2シリコン酸化膜36を貫通するビアホール46を形成する(ステップ6～8)。ビアホール46の内部に、その内腔を覆うようにフォトリソレジスト48を埋め込む(ステップ9～12)。フォトリソレジスト48による保護膜を形成した後、第2シリコン酸化膜38および第2シリコン窒化膜36の所定部位を除くとして配線層56を形成する(ステップ13、14)。



【特許請求の範囲】

【請求項1】 デュアルゲート構造の配線要素を備える半導体デバイスの製造方法であって、

下層配線層上にゲートの配線防止膜を形成するステップと、

前記配線防止膜の上部に第1絶縁膜を形成するステップと、

前記第1絶縁膜の上部にエッチングストップ膜を形成するステップと、

前記エッチングストップ膜の上部に第2絶縁膜を形成するステップと、

前記第2絶縁膜の上部に、前記第2絶縁膜、前記エッチングストップ膜、および、前記第1絶縁膜を貫通するビアホールを形成するステップと、

前記ビアホールの内腔に、そのビアホールの内腔を覆う有機物を形成するステップと、

前記有機物の形成後に、前記第2絶縁膜の所定部位をエッチングにより除去して配線層を形成するステップと、

前記エッチングにより除去した配線層の上部に、第1シリコン窒化膜を形成するステップと、

【請求項2】 前記有機物は、前記ビアホールが、少なくともその内腔面が前記第2絶縁膜の内面に至る領域において覆われるように形成されることを特徴とする請求項1記載の半導体デバイスの製造方法

【請求項3】 前記有機物を形成するステップは、前記ビアホールの内部にフォトリソレジストを埋め込むステップと、

前記フォトリソレジストを硬化させるステップとを備えることを特徴とする請求項1または2記載の半導体デバイスの製造方法

【請求項4】 前記有機物を形成するステップは、前記ビアホールの内部に、前記有機物として有機樹脂防止膜の層を形成するステップを備えることを特徴とする請求項1または2記載の半導体デバイスの製造方法

【請求項5】 前記下層配線層を形成するステップは、シリコン基板の上にエッチングストップ膜を形成するステップと、

前記エッチングストップ膜上に第0絶縁膜を形成するステップと、

前記第0絶縁膜の上部に、前記有機物を覆う所定の領域のみに残存するようにエッチングを行うステップと、

前記エッチングによりエッチングストップ膜を形成するステップと、

前記エッチングストップ膜の上部に第1シリコン窒化膜を形成するステップと、

前記第1シリコン窒化膜の上部に第2シリコン窒化膜を形成するステップと、

前記第2シリコン窒化膜の上部に第3シリコン窒化膜を形成するステップと、

前記第3シリコン窒化膜の上部に第4シリコン窒化膜を形成するステップと、

前記第4シリコン窒化膜の上部に第5シリコン窒化膜を形成するステップと、

前記第5シリコン窒化膜の上部に第6シリコン窒化膜を形成するステップと、

前記第6シリコン窒化膜の上部に第7シリコン窒化膜を形成するステップと、

前記第7シリコン窒化膜の上部に第8シリコン窒化膜を形成するステップと、

配線層の外部に主金属層を形成するステップを備えると共に、

前記高融点金属膜を形成するステップは、前記シリコン基板および前記主金属層の上部に高融点金属の層を形成するステップと、

前記高融点金属の層が前記主金属層を覆う所定の領域のみに残存するようにエッチングを行うステップと、

前記エッチングによりエッチングストップ膜を形成するステップと、

【請求項7】 前記下層配線層の上部に主金属層を埋め込んだ後に、前記主金属層の表面を、前記第0絶縁膜の表面に比して所定だけ厚くするステップを備えると共に、

前記高融点金属膜を形成するステップは、前記主金属層の表面を、前記第0絶縁膜の表面に比して所定だけ厚くするステップを備えると共に、

前記高融点金属膜の層が前記主金属層を覆う所定の領域のみに残存するように、前記第0絶縁膜の表面を露出するまで前記高融点金属の層を除去するステップと、

前記高融点金属の層を除去することとを特徴とする請求項5記載の半導体デバイスの製造方法

【請求項8】 前記下層配線層を形成するステップは、第0絶縁膜の下層配線層を形成するステップと、

前記下層配線層の上部に、前記高融点金属膜を形成した後、前記下層配線層の上部に高融点金属の層を形成するステップと、

前記高融点金属の層が前記主金属層を覆う所定の領域のみに残存するように、前記第0絶縁膜の表面を露出するまで前記高融点金属の層を除去するステップと、

前記高融点金属の層を除去することとを特徴とする請求項8記載の半導体デバイスの製造方法

【請求項9】 前記下層配線層の上部に主金属層を埋め込んだ後に、前記第0絶縁膜の表面を、前記主金属層の表面とを平行化するステップを備えると共に、

前記シリコン基板を形成するステップは、前記シリコン基板および前記主金属層の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

前記シリコン窒化膜の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、

破のみに残存するように、前記第0絶縁膜の表面が露出するまで前記シリコン酸化膜の層を除去するステップと、

を備えることを特徴とする請求項8記載の半導体装置の製造方法

【請求項11】 前記エッチングステップは、0.5～1.0の傾斜係数を有するシリコン酸化膜を含むことと、半導体装置の製造方法

【請求項12】 前記ビアホールを開く前に、前記第2絶縁膜の上部に前記シリコン酸化膜を形成するステップと、

前記絶縁膜が形成された後に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

前記ビアホールを開く前に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

前記絶縁膜が形成された後に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

前記絶縁膜が形成された後に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

前記絶縁膜が形成された後に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

前記絶縁膜が形成された後に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

前記絶縁膜が形成された後に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

前記絶縁膜が形成された後に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

前記絶縁膜が形成された後に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

前記絶縁膜が形成された後に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

前記絶縁膜が形成された後に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

前記絶縁膜が形成された後に、前記第2絶縁膜の上部に、前記シリコン酸化膜を形成するステップと、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体デバイスの製造方法に係り、特に、下層絶縁膜の上部にデュアルタマシシ構造の配線要素を備える半導体デバイスの製造方法に関する。

【0002】

【従来の技術】 半導体デバイスの配線材料としては、銅などの低抵抗の小さな材料が用いられることが、半導体デバイスにおいて、銅を用いた多層配線には、デュアルタマシシ構造、すなわち、層間絶縁膜にビアホールと配線とを形成した後、それらに食料を埋め込んで配線を形成する構造が用いられる。

【0003】

【0004】 次に、第1フォトレジスト20をマスクとして、ビアホール19を開くための露光性ドライエッチングが行われる。上記のエッチングは、ビアホール19の内部に第1シリコン酸化膜12が露出するまで行われる(図13(A))。エッチングの過程において、シリコン酸化膜12は、エッチングの進行を止めるステップとして機能する。

【0005】

【0006】 次に、第2フォトレジスト22をマスクとして、配線24を開くための露光性ドライエッチングが行われる(図13(C))。上記のエッチングは、先ず、シリコン酸化膜を、シリコン酸化膜に対して大きな速度で除去する条件で行われる。この際、第1および第2シリコン酸化膜12、16は、共にエッチングの進行を止めるためのマスクとして用いられる。次に、配線24の内部に露出した第2シリコン酸化膜16、および、ビアホール19の内部に露出した第1シリコン酸化膜12を除去する。これにより、エッチングが行われる。これらの処理は、層間絶縁膜にビアホール19の表面を露出させるビアホール19と、ビアホール19と通じる配線24とが形成される。

【0007】

【0008】 また、従来の製造方法において、配線24を開くためのエッチングは、上記の如くビアホール19の開閉後に、第2シリコン酸化膜14をエッチングすることによって、他の層間絶縁膜にビアホール19の効果を及ぼす。このため、従来の製造方法によれば、配線24を開くためのエッチングの過程で、第2シリコン酸化膜16に設けられた貫通孔(ビアホール19)による孔の径は拡大される。

特開平2-150611

【発明が解決しようとする課題】 しかし、第1シリコン酸化膜12は、配線24を形成するためのエッチングの過程で、ビアホール19の内部において常にエッチャントにさらされる(以下、その部分を「露出部」と呼ぶ)。また、その露出部は、製造条件のバラツキ等によって、ビアホール19を開くためのエッチングの過程で多量のエッチングが行われることがある。このような状態で、配線24を開くためのエッチングの過程で、ビアホール19が第1シリコン酸化膜12を突き抜けて、下層絶縁膜10の表面が露出することがある。この場合、以後エッチングが継続されることにより、図13(C)に示す如く、下層絶縁膜10に損傷が生ずる。

【0009】 図14は、第2シリコン酸化膜16の貫通孔の径がエッチングの過程で拡大された場合に生ずる状態を示す。図14において、破線が示す形状は、第1および第2シリコン酸化膜12、16がステップ状として適に機能した場合に得られる理想的状態を示す。図14において、下層絶縁膜10は、理想状態のビアホール19の径とほぼ等しい幅を有している。また、下層絶縁膜10は、その周囲にバリメタル26の層を備えている。

【0010】 配線24の形成過程で第2シリコン酸化膜16の貫通孔の径が拡大されると、ビアホール19の形状は、図14に示す如く、上層部の径が下層部の径に比べて大きく、下層部の径が小さくなる。ビアホール19がテーパー状に形成され、下層絶縁膜14の表面がエッチャントにさらされやすくなる。この場合、エッチングの影響でバリメタル26と被覆がれやすくなる。このように、従来の半導体デバイスの製造方法では、下層絶縁膜10の上部にデュアルタマシシ構造の配線要素を形成する際には、下層絶縁膜10に種々の損傷を生じさせやすいという問題を生ずるものであった。

【0011】 ここで、従来の半導体装置において、配線24の内部に用いられる銅は、アルミに比べて高い反射率を有している。従来の製造方法においては、ビアホール19を開くための第1フォトレジスト20をエッチングする際(図13(A)参照)、および、配線24を形成するための第2フォトレジスト22をエッチングする際(図13(B)参照)に、それらの上

特開平2-150611

(1)

方から光(例えば紫外線)を照射してフォトレジストを感光させる処理が行われる。フォトレジストは、その上部から照射された光と、フォトレジストを通過した後、基板側で反射して戻ってくる反射光とを受けて感光する。このため、フォトレジストの感光状態は、反射光の強度や、直後光と反射光との干渉状態等に大きく影響を受ける。

【0012】 従来の半導体デバイスを用いるシリコン酸化膜やシリコン酸化膜は、一般に光を透過させる。このため、フォトレジストを透過した光の一部は、シリコン酸化膜やシリコン酸化膜を透過して、下層絶縁膜10やシリコン基板の表面まで到達する。このため、下層絶縁膜10の上部に塗布されたフォトレジストは、下層絶縁膜10で形成された反射光を受光する。また、下層絶縁膜10の形成された領域の上部に塗布されたフォトレジストは、下層絶縁膜10の表面で反射された反射光を受光する。シリコン基板の表面で反射された反射光がフォトレジストに到達するまでに通過する光路の長さは、光の反射面とフォトレジストとの間に介在する層間絶縁膜の厚さや、フォトレジストに応じて変動する。また、それらの光路差が変動すると、フォトレジストが受光する直後光と反射光の干渉状態が変化する。この点、従来の製造方法では、層間絶縁膜の厚さのバラツキに起因して、第1および第2フォトレジスト20、22の寸法精度が悪化させやすいものであった。

【0013】 下層絶縁膜10で反射された反射光がフォトレジストに到達するまでに通過する光路の長さは、光の反射面とフォトレジストとの間に介在する層間絶縁膜の厚さや、フォトレジストに応じて変動する。また、それらの光路差が変動すると、フォトレジストが受光する直後光と反射光の干渉状態が変化する。この点、従来の製造方法では、層間絶縁膜の厚さのバラツキに起因して、第1および第2フォトレジスト20、22の寸法精度が悪化させやすいものであった。

【0014】 更に、下層絶縁膜10の主成分に反射率の高い銅等の金属が含まれる場合は、マスクを通過した光が下層絶縁膜10によって強く反射されることにより、反射光に起因するハレーションが生ずることがある。従来の製造方法においては、第1フォトレジスト20のハレーション処理の際、および、第2フォトレジスト22のハレーション処理の際に、そのハレーションの影響でフォトレジストのハレーション異常が生ずることがある。このように、従来の製造方法では、ハレーションによりフォトレジストをハレーションさせるという問題を生じていた。

【0015】 本発明は、上記のような問題を解決するが、本発明は、上記の目的と、下層絶縁膜を形成することにより、反射光の影響を受けることなく、層間絶縁膜の厚さのバラツキに起因して、第1および第2フォトレジスト20、22の寸法精度が悪化させやすいという問題を有している。

【0016】

【0033】図1 (D) に示す如く、ピアホール4 6を開口するためのエッチングが終了すると、第1フォトレジスト4 2が除去される(ステップ9)。次いで、ピアホール4 6の内部にフォトレジスト4 8が埋め込まれる(ステップ10)。フォトレジスト4 8は、少なくとも、ピアホール4 6の壁が、その表面から第2シリコン窒化膜3 2を越える領域まで覆われるように埋め込まれる。フォトレジスト4 8は、150℃のホットプレートの上で、600mW/cm²の強度で、120秒間bake光が照射されることにより硬化される(ステップ11)。第2シリコン窒化膜3 8の上部、および、硬化後のフォトレジスト4 8の上部には、第2BARC 50が塗布される(ステップ12)。

【0034】図1 (E) に示す如く、第2BARC 50の上部には、写真製版により、第2フォトレジスト5 2が形成される(ステップ13)。第2フォトレジスト5 2は、配線溝を形成するための露光-開孔部5 4を備えていて、第2フォトレジスト5 2のバタフライシタングの際には、第2フォトレジスト5 2の開口部が露光される。第2フォトレジスト5 2は、第2BARC 50を通過した光の大部分は、第2BARC 50によって反射光とされ、このため、ステップ13の処理によれば、反射光の光路がハレーションの問題を回避して、第2フォトレジスト5 2を高い寸法精度でパターンニングすることができる。

【0035】次に、図1 (F) に示す如く、配線溝5 6を開孔するための異方性ドライエッチングが行われる(ステップ14)。ステップ14のエッチングは、先ず、シリコン窒化物の除去に適した条件で行われる。その結果、第2シリコン窒化膜3 6が露出するまで配線溝5 6が形成される。次に、シリコン窒化物の除去に適した条件でエッチングが行われる。その結果、第1シリコン窒化膜3 8の上部に存在する第2フォトレジスト5 2が、エッチングによって同時に除去される。

【0040】上記のエッチングは、ピアホール4 6の開口部、すなわち、第1シリコン窒化膜3 2の露出部、および、第2シリコン窒化膜3 6の貫通孔(ピアホール4 6による孔)の側面が、フォトレジスト4 8により覆われる実施例で行われる。このため、ピアホール4 6の開口部が終了した時点で第1シリコン窒化膜3 2の露出部が他の露出部にして明らかになる場合でも、配線溝を形成するためのエッチングの過程で、ピアホール4 6が不当に早期に第1シリコン窒化膜3 2を突き抜けることがない。と、第2シリコン窒化膜3 2の貫通孔の径、すなわち、ピアホール4 6の上部部の径が不当に拡大されるこ

とはない。従って、本実施形態の製造方法によれば、下層配線層30の上部に、下層配線層30に損傷を与えずに、デュアルダマシン構造の配線要素を形成することができる。

【0041】ところで、上記の実施形態においては、ピアホール4 6の内部に埋め込まれたフォトレジスト4 8を硬化させるために、フォトレジスト4 8にbake光を照射することとしていたが、フォトレジスト4 8を硬化させる手段はこれに限定されるものではない。例えば、ハードベイク(加熱)によって、或いは、それの組合せによってフォトレジスト4 8を硬化させることとしてもよい。

【0042】尚、上記の実施形態においては、第1シリコン窒化膜3 4が前記配線溝1記載の「絶縁層」に、第2シリコン窒化膜3 6が前記配線溝2記載の「エッチングストッパ」に、第2シリコン窒化膜3 8が前記配線溝1記載の「第2絶縁層」に、フォトレジスト4 8が前記配線溝1記載の「有機材」に、それぞれ相当している。

【0043】実施の形態2、次に図2を参照して、本発明の実施の形態2について説明する。図2 (A) ~図2 (F) は、本発明の実施の形態2の半導体デバイスの製造方法を説明するための図(左:断面図、右:平面図)を示す。図2 (A) ~図2 (F) は、本発明の実施の形態2の半導体デバイスの製造方法を説明するための図(左:断面図、右:平面図)を示す。図2 (A) ~図2 (F) は、本発明の実施の形態2の半導体デバイスの製造方法を説明するための図(左:断面図、右:平面図)を示す。

【0044】本実施形態の製造方法によれば、図2 (D) に示す如く、第1フォトレジスト4 2が除去された後に(ステップ9)、ピアホール4 6の内部、および、第2シリコン窒化膜3 8の上部に、同時に、第2BARC 50の層が形成される(ステップ11)。以後、実施の形態1の場合と同様に、ステップ13および14の処理が行われることにより配線溝5 6が形成される。

【0045】本実施形態の製造方法によれば、第2BARC 50は、第2フォトレジスト5 2をハレーションによる損傷に耐えさせるために形成する。配線溝5 6を形成するためのエッチングの過程では、実施の形態1におけるフォトレジスト4 8と同様に、配線溝として機能する。このため、本実施形態の製造方法によれば、実施の形態1に比べて、配線溝5 6の開口部が、実施の形態1の場合と同様の効果を得ることができる。

【0046】尚、上記の実施形態においては、第2BARC 50が前記配線溝1記載の「有機材」に相当している。

【0047】実施の形態3、次に、図3を参照して、本発明の実施の形態3について説明する。図3 (A) 乃至図3 (F) は、本実施形態の半導体デバイスの製造方法を説明するための図を示す。本実施形態の製造方法、第2BARC 50の材料として用いられる有機材料防止

層の埋め込み層が、実施の形態2で用いられるものと同様に、め込み層に比べて劣化点を除き、実施の形態2と同様である。

【0048】すなわち、実施の形態2の製造方法では、埋め込み層のよい有機材料防止層を用いて第2BARC 50が形成される。第2BARC 50が、ピアホール4 6の内部全体に埋め込まれる。これに対して、本実施形態の製造方法では、埋め込み層の悪い有機材料防止層を用いて第2BARC 50が形成されるため、第2BARC 50が、ピアホール4 6の増幅のみを得ようように形成される(図3 (D) 参照)。

【0049】第2BARC 50は、ピアホール4 6の増幅のみを得ようように形成される。ピアホール4 6の増幅のみを得ようように形成される。ピアホール4 6の増幅のみを得ようように形成される。ピアホール4 6の増幅のみを得ようように形成される。ピアホール4 6の増幅のみを得ようように形成される。

【0050】実施の形態4、次に、図4を参照して、本発明の実施の形態4について説明する。図4 (A) ~図4 (G) は、本発明の実施の形態4の半導体デバイスの製造方法を説明するための図(左:断面図、右:平面図)を示す。図4 (A) ~図4 (G) は、本発明の実施の形態4の半導体デバイスの製造方法を説明するための図(左:断面図、右:平面図)を示す。

【0051】本実施形態においては、第1および第2シリコン窒化膜3 4、3 8は、3~4%のフッ素を含有している。このようにしたシリコン窒化膜は、フッ素を含有しているものに比べて小さな歩留率を示す。また、第1および第2シリコン窒化膜3 2、3 6は、ハレーションによる損傷に耐えさせるために形成する。シリコン窒化膜は、シリコン窒化膜3 4、3 8は、3~4%のフッ素を含有している。このようにしたシリコン窒化膜は、フッ素を含有しているものに比べて小さな歩留率を示す。また、第1および第2シリコン窒化膜3 2、3 6は、ハレーションによる損傷に耐えさせるために形成する。

【0052】第2シリコン窒化膜3 8の上部には、600~1000オングストローム程度の厚さを有する高融点金属膜5 8が形成される(ステップ16)。本実施形態においては、高融点金属膜5 8には、チタン窒化膜が用いられ、高融点金属膜5 8の上部には、写真製版による、実施の形態1の場合と同様に第1フォトレジスト4 2が形成される(ステップ7)。

【0053】第1フォトレジスト4 2の写真製版の際に第1フォトレジストを透過する光は、その端が高融点金属膜5 8によって反射される。このため、本実施形態の製造方法によれば、第1フォトレジスト4 2の下部にBARCを形成していないにも関わらず、また、第1および第2シリコン窒化膜3 2、3 6の吸収率が比較的小さいにも関わらず、反射光のハレーションや光路差に影響されることがなく、第1フォトレジスト4 2を精度良くパターンニングすることができる。

【0054】図4 (B) に示す如く、第1フォトレジスト4 2の開口部4 4に露出している高融点金属膜5 8は、エッチングにより除去される(ステップ17)。次に、図4 (C) に示す如く、実施の形態1の場合と同様にステップ8~11の処理が行われることにより、ピアホール4 6が形成され、更に、その内部にフォトレジスト4 8(有機材)が形成される。

【0055】ステップ11の処理(第1フォトレジスト4 2の除去)が終了すると、次に、ステップ13の処理が行われることにより、高融点金属膜5 8の上部に、第2フォトレジスト5 2が形成される。第2フォトレジスト5 2の写真製版の際にその内部を透過する光は、第1フォトレジスト4 2の写真製版の場合と同様に、その端が高融点金属膜5 8によって反射される。このため、本実施形態の製造方法によれば、第2フォトレジスト5 2の下部にBARCを形成していないにも関わらず、反射光のハレーションや光路差に影響されることがなく、第2フォトレジスト5 2を精度良くパターンニングすることができる。

【0056】本実施形態の製造方法では、次に、図4 (E) に示す如く、第2フォトレジスト5 2の開口部5 4に露出している高融点金属膜5 8が、エッチングにより除去される(ステップ18)。

【0057】次に、図4 (F) に示す如く、実施の形態1の場合と同様にステップ14の処理により配線溝5 6が形成される。配線溝5 6を形成するためのエッチングは、第1シリコン窒化膜3 2の露出部、および、第2シリコン窒化膜3 6の貫通孔付近がフォトレジスト4 8により保護され、歩留率が向上される。このため、本実施形態の製造方法によれば、実施の形態1の場合と同様に、下層配線層30に損傷を与えずに、その上部にデュアルダマシン構造の配線要素を精度良く形成することができ

【0058】配線溝5 6が形成され、更に、ステップ14によって第2フォトレジスト5 2が除去される。図4 (G) に示す如く、ウェットエッチングによって第2シリコン窒化膜3 8の上部の高融点金属膜5 8が除去される(ステップ19)。上記の処理が終了すると、実施の形態1の場合と同様に所望の構造を得ることができ

【0059】図5 (A) および図5 (D) は、本実施形

他の製造方法と対比される方法で製造される半導体デバイス、
イスマの断面図および平面図を示す。より具体的に、図
5 (A) および図 5 (B) は、第 2 シリコン酸化膜 38
の上部に、高濃度金属膜 58 を形成することなく、第 2 フォ
トリズト 52 を形成した場合に使用される状態を示
す。

【0066】図4は、図5に示す構造に対して第2シリコン酸化膜38の部分が光（緑）を照射した場合に得られる反射率と、窒素窒素膜（32～38等）の厚さとの関係を示す。また、図7は、図4に示す構造（本実施形態の構造）に対して前記金銀膜58の上部から光（緑）を照射した場合に得られる反射率と、窒素窒素膜の厚さとの関係を示す。

[illegible]

【0062】即ち、第2シラン化合物化反応の表面・高
融点金属膜5.8が形成されていない場合は、1μm厚の
3.0で強圧処理を行うとし、第2フォトレジスト5.2の
このため、前記と同様に、第2フォトレジスト5.2の
開口部4.4にハッチングが形成される。

[illegible]

【0064】このように、本実施形態の製造方法においては、第2エポキシ硬化剤38の表面に形成された発生の金屈曲58は、バグリー染着の原因とならずに発生した金屈曲58は、バグリー染着を防止する。また、金屈曲58を金AARCとして利用することによれば、実施形態1乃至3の場合と異なり、第1および第2マニトラジスト42、52を形成する度にAARCの形成を行う必要がない。このため、本実施形態の製造方法によれば、簡易な工程で、高耐熱特性を有する半導体デバイスが製造

出来ることである

【0065】尚、上記の実施形態においては、高融点金属膜58が、前記請求項12記載の「反射防止用高融点金属膜」に相当している。

【0066】実施の形態5、次に、本発明の実施の形態5について説明する。本実施形態の平均体積バイスの製造方法は、実施の形態4における高融点金属58を、0.5～1.0の噴射率を有するシリリコニウム酸、七酸化チタン、シリコンと若菜との比が1:0.6:1の割合とすることで見えらる。上記のシリリコニウム酸とすれば、高融点金属58の場合と同様に第2シリリコニウム酸と第3シリリコニウム酸とを混合することによって、高融点金属58の主成分として機能する。このため、本実施形態の製造方法によっても、実施の形態4の場合と同様に、主成分の優れた平均体積バイスを形成することができ。

【0067】また、リチウム空化膜は、前記合金膜58-8-1の乾燥膜厚を同一とし、第2リチウム空化膜58-8-2を形成して、リチウム空化膜は、必要に応じて除去する必要がある。このとき、本発明他の製造方法は、上述した、実施例2述べている製造方法と、異なる点の箇所は、図1、図2、図3、図4、図5、図6、図7、図8、図9、図10、図11、図12、図13、図14、図15、図16、図17、図18、図19、図20、図21、図22、図23、図24、図25、図26、図27、図28、図29、図30、図31、図32、図33、図34、図35、図36、図37、図38、図39、図40、図41、図42、図43、図44、図45、図46、図47、図48、図49、図50、図51、図52、図53、図54、図55、図56、図57、図58、図59、図60、図61、図62、図63、図64、図65、図66、図67、図68、図69、図70、図71、図72、図73、図74、図75、図76、図77、図78、図79、図80、図81、図82、図83、図84、図85、図86、図87、図88、図89、図90、図91、図92、図93、図94、図95、図96、図97、図98、図99、図100、図101、図102、図103、図104、図105、図106、図107、図108、図109、図110、図111、図112、図113、図114、図115、図116、図117、図118、図119、図120、図121、図122、図123、図124、図125、図126、図127、図128、図129、図130、図131、図132、図133、図134、図135、図136、図137、図138、図139、図140、図141、図142、図143、図144、図145、図146、図147、図148、図149、図150、図151、図152、図153、図154、図155、図156、図157、図158、図159、図160、図161、図162、図163、図164、図165、図166、図167、図168、図169、図170、図171、図172、図173、図174、図175、図176、図177、図178、図179、図180、図181、図182、図183、図184、図185、図186、図187、図188、図189、図190、図191、図192、図193、図194、図195、図196、図197、図198、図199、図200、図201、図202、図203、図204、図205、図206、図207、図208、図209、図210、図211、図212、図213、図214、図215、図216、図217、図218、図219、図220、図221、図222、図223、図224、図225、図226、図227、図228、図229、図230、図231、図232、図233、図234、図235、図236、図237、図238、図239、図240、図241、図242、図243、図244、図245、図246、図247、図248、図249、図250、図251、図252、図253、図254、図255、図256、図257、図258、図259、図260、図261、図262、図263、図264、図265、図266、図267、図268、図269、図270、図271、図272、図273、図274、図275、図276、図277、図278、図279、図280、図281、図282、図283、図284、図285、図286、図287、図288、図289、図290、図291、図292、図293、図294、図295、図296、図297、図298、図299、図300、図301、図302、図303、図304、図305、図306、図307、図308、図309、図310、図311、図312、図313、図314、図315、図316、図317、図318、図319、図320、図321、図322、図323、図324、図325、図326、図327、図328、図329、図330、図331、図332、図333、図334、図335、図336、図337、図338、図339、図340、図341、図342、図343、図344、図345、図346、図347、図348、図349、図350、図351、図352、図353、図354、図355、図356、図357、図358、図359、図360、図361、図362、図363、図364、図365、図366、図367、図368、図369、図370、図371、図372、図373、図374、図375、図376、図377、図378、図379、図380、図381、図382、図383、図384、図385、図386、図387、図388、図389、図390、図391、図392、図393、図394、図395、図396、図397、図398、図399、図400、図401、図402、図403、図404、図405、図406、図407、図408、図409、図410、図411、図412、図413、図414、図415、図416、図417、図418、図419、図420、図421、図422、図423、図424、図425、図426、図427、図428、図429、図430、図431、図432、図433、図434、図435、図436、図437、図438、図439、図440、図441、図442、図443、図444、図445、図446、図447、図448、図449、図450、図451、図452、図453、図454、図455、図456、図457、図458、図459、図460、図461、図462、図463、図464、図465、図466、図467、図468、図469、図470、図471、図472、図473、図474、図475、図476、図477、図478、図479、図480、図481、図482、図483、図484、図485、図486、図487、図488、図489、図490、図491、図492、図493、図494、図495、図496、図497、図498、図499、図500、図501、図502、図503、図504、図505、図506、図507、図508、図509、図510、図511、図512、図513、図514、図515、図516、図517、図518、図519、図520、図521、図522、図523、図524、図525、図526、図527、図528、図529、図530、図531、図532、図533、図534、図535、図536、図537、図538、図539、図540、図541、図542、図543、図544、図545、図546、図547、図548、図549、図550、図551、図552、図553、図554、図555、図556、図557、図558、図559、図560、図561、図562、図563、図564、図565、図566、図567、図568、図569、図570、図571、図572、図573、図574、図575、図576、図577、図578、図579、図580、図581、図582、図583、図584、図585、図586、図587、図588、図589、図590、図591、図592、図593、図594、図595、図596、図597、図598、図599、図600、図601、図602、図603、図604、図605、図606、図607、図608、図609、図610、図611、図612、図613、図614、図615、図616、図617、図618、図619、図620、図621、図622、図623、図624、図625、図626、図627、図628、図629、図630、図631、図632、図633、図634、図635、図636、図637、図638、図639、図640、図641、図642、図643、図644、図645、図646、図647、図648、図649、図650、図651、図652、図653、図654、図655、図656、図657、図658、図659、図660、図661、図662、図663、図664、図665、図666、図667、図668、図669、図670、図671、図672、図673、図674、図675、図676、図677、図678、図679、図680、図681、図682、図683、図684、図685、図686、図687、図688、図689、図690、図691、図692、図693、図694、図695、図696、図697、図698、図699、図700、図701、図702、図703、図704、図705、図706、図707、図708、図709、図710、図711、図712、図713、図714、図715、図716、図717、図718、図719、図720、図721、図722、図723、図724、図725、図726、図727、図728、図729、図730、図731、図732、図733、図734、図735、図736、図737、図738、図739、図740、図741、図742、図743、図744、図745、図746、図747、図748、図749、図750、図751、図752、図753、図754、図755、図756、図757、図758、図759、図760、図761、図762、図763、図764、図765、図766、図767、図768、図769、図770、図771、図772、図773、図774、図775、図776、図777、図778、図779、図780、図781、図782、図783、図784、図785、図786、図787、図788、図789、図790、図791、図792、図793、図794、図795、図796、図797、図798、図799、図800、図801、図802、図803、図804、図805、図806、図807、図808、図809、図810、図811、図812、図813、図814、図815、図816、図817、図818、図819、図820、図821、図8

【参考文献】(1) 王德生等, 化学通报, 1981, 第2期。
(2) 李永强等, 化学通报, 1981, 第2期。
(3) 王德生和于国忠, 放射医学, 1981, 第2期。

【(一)】
【(二)】
【(三)】
【(四)】
【(五)】
【(六)】
【(七)】
【(八)】
【(九)】
【(十)】
【(十一)】
【(十二)】
【(十三)】
【(十四)】
【(十五)】
【(十六)】
【(十七)】
【(十八)】
【(十九)】
【(二十)】
【(二十一)】
【(二十二)】
【(二十三)】
【(二十四)】
【(二十五)】
【(二十六)】
【(二十七)】
【(二十八)】
【(二十九)】
【(三十)】
【(三十一)】
【(三十二)】
【(三十三)】
【(三十四)】
【(三十五)】
【(三十六)】
【(三十七)】
【(三十八)】
【(三十九)】
【(四十)】
【(四十一)】
【(四十二)】
【(四十三)】
【(四十四)】
【(四十五)】
【(四十六)】
【(四十七)】
【(四十八)】
【(四十九)】
【(五十)】
【(五十一)】
【(五十二)】
【(五十三)】
【(五十四)】
【(五十五)】
【(五十六)】
【(五十七)】
【(五十八)】
【(五十九)】
【(六十)】
【(六十一)】
【(六十二)】
【(六十三)】
【(六十四)】
【(六十五)】
【(六十六)】
【(六十七)】
【(六十八)】
【(六十九)】
【(七十)】
【(七十一)】
【(七十二)】
【(七十三)】
【(七十四)】
【(七十五)】
【(七十六)】
【(七十七)】
【(七十八)】
【(七十九)】
【(八十)】
【(八十一)】
【(八十二)】
【(八十三)】
【(八十四)】
【(八十五)】
【(八十六)】
【(八十七)】
【(八十八)】
【(八十九)】
【(九十)】
【(九十一)】
【(九十二)】
【(九十三)】
【(九十四)】
【(九十五)】
【(九十六)】
【(九十七)】
【(九十八)】
【(九十九)】
【(一百)】

【0070】図8 (A) に示す如く、本実施形態の製造方法では、先ず、600オンゲストロームの膜厚を有するシリコン酸化膜600の上に、CVDにより、1300オンゲストロームの膜厚を有するシリコン酸化膜620が形成される（ステップ20）。

【0071】次に、図8 (B) に示す如く、芳香環取
 下基が異方性エッチングにより、シリコン酸化膜62に下
 記酸線用溝64がバターンエッチされる（ステップ2
 1）。

【0072】図8（C）に示す如く、シリコン酸化物膜6-2が下部、および、有機窒素膜6-4の内部には、スルホニウム塩、または、CVD法により、500～1000Å程度の厚さで、酸化銅の層を有する高融点金属膜6-6が形成される（ステップ2-2）。高融点金属膜6-6は、チタン、チタン化合物、 tantalum、或いは、タングステン等により形成されている。

【0073】図8 (D) に示す如く、高温金属膜層65の上層1上部14層64の内部を含む1)には、スパッタ法、CVD法、メッキ法、或いは、それらの組合せによって、15000~20000オングストロームの膜厚を有する主金属層68が形成される(ステップ22)。

(3) 本実施形態において、主金属材68は銅により形成されている。

【0074】図8 (E) に示す如く、主金属材68および高熔点金属66は、CMP法により、或いは、全面エッチバックの手法により、主金属材68の表面とシリコン酸化膜62の表面とを平坦化される。(スケーラブル)

【0075】図8（正）に示す如く、平坦化されたシリコン酸化膜2および主金属材68の上部には、ステップ222の場合と同様の手法でナタンを堆積させることにより、100～1000オングストローム程度の膜厚を有する高純度金属膜70が形成される（ステップ25）。

[illegible]

【図7】図8、図9に示す如く、シリコン酸化膜3-8は、シリコン酸化膜3-9の下部に、実施の態様1乃至3の工程で形成されたシリコン酸化膜3-5が処理がなされることにより、図10、図11、図12に示す如く、シリコン酸化膜3-8が順次形成される。以後、実施の態様1乃至5の何れかと同様、或いは、近接する箇所が形成されることにより、下部線路3-10の上部にデュアルパターン構造の配線要素が形成される。

【0078】本実施形態の製造方法において、中核材料が第2オクタンジオール4-2、5-2の写真製版の際には、第2シリコン酸化膜を有するARCとして機能する。また、本実施形態においては、第2シリコン酸化膜は、 $0 \sim 1.0$ の吸収率を有するシリコンリッチな層で形成される。より具体的には、シリコンと炭素との比が1：1.65Nにより形成される。このようにして第2シリコン酸化膜3-6によれば、第1または第2オクタンジオール4-2、5-2の写真製版の際に、照射光が透過を有効に防止し、反射光によるハレーションを有効に防止することができる。

【0079】実施の形態1乃至5においては、反射光のハイパレシジョン等によるバック面精度の悪化を防止するために、第二シリコン酸化膜38の上に、有機光反射層や高屈折率金属膜等を形成している。しかしながら、本実施形態の製造方法においては、上記の如く、有機光

ても、実施の形態6の場合と同様に簡単な工程で優れた平坦度を有する半導体デバイスを製造することができる。また、本実施形態の製造方法によれば、下層配線層30の表面とシリコン酸化膜62の表面とを平坦化することができる。このため、本実施形態の製造方法によれば、実施の形態6の場合に比して更に容易に、下層配線層30の上に高度良く配線要素を形成することができる。

【0086】実施の形態8、次に、図10を参照して本発明の実施の形態7について説明する。図10(A)～図10(C)は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す。

【0087】図10(A)は、実施の形態6における図8(E)と同じ状態を示す。本実施形態の製造方法では、実施の形態6の場合と同様にステップ20～24の処理が行われることにより、図10(A)の処理が形成される。図10(B)に示す如く、本実施形態の製造方法では、シリコン酸化膜62が形成される(ステップ2)に、第1シリコン酸化膜32が形成される(ステップ2)。本実施形態においては、第1シリコン酸化膜32は、0.5～1.0の吸収率を有するシリコン酸化膜、すなわち、シリコンと窒素との比が1:1.68の膜である。

【0088】第1シリコン酸化膜32が形成された後、上述した実施の形態6および7の場合と同様に処理が行われることにより、所望の構成が実現される。本実施形態の製造方法においては、第1シリコン酸化膜32は、実施の形態6または7における高融点金属膜70と同様に、ARC、バリヤ層、および、エッチングストッパ膜として機能する。このため、本実施形態の製造方法によれば簡単な工程で優れた平坦度を有する半導体デバイスを製造することができる。

【0089】実施の形態9、次に、図11を参照して本発明の実施の形態7について説明する。図11(A)～図11(C)は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す。

【0090】図11(A)は、実施の形態6における図8(E)と同じ状態を示す。本実施形態の製造方法では、実施の形態6の場合と同様にステップ20～24の処理が行われることにより、図11(A)の処理が形成される。図11(B)に示す如く、本実施形態の製造方法では、第1シリコン酸化膜62および高融点金属膜68の上に、第1シリコン酸化膜32が形成される(ステップ2)。本実施形態においては、第1シリコン酸化膜32は、実施の形態8(図10参照)の場合と同様に、0.5～1.0の吸収率を有するシリコン酸化膜、すなわち、シリコンと窒素との比が1:1.68の膜である。

【0091】図11(C)に示す如く、第1シリコン酸化膜32のうち、金属膜68および高融点金属膜66

の何れとも重ならな部分、すなわち、写真製版およびエッチングにより除去される(ステップ2) 上記の処理が行われることにより、第1シリコン酸化膜32は、下層配線層64に形成される部分だけが残る。尚、ステップ29の処理において、写真製版、下層配線層64のハウェニング(ステップ21参照)に用いられたマスク(レチクル)と、その際に用いられたフォトレジストと逆の極性(ネガ型レジスト)を有するフォトレジストを用いて行われる。

【0092】以後、上述した実施の形態6乃至8の場合と同様の処理が行われることにより、所望の構成が実現される。本実施形態の製造方法においては、第1シリコン酸化膜32は、実施の形態8(図10参照)の場合と同様に、ARC、バリヤ層、および、エッチングストッパ膜として機能する。このため、本実施形態の製造方法によれば簡単な工程で優れた平坦度を有する半導体デバイスを製造することができる。

【0093】本実施形態の製造方法によれば、実施の形態8の場合に比して、第1シリコン酸化膜32の吸収率を小さくすることができる。平坦化膜32の配線要素は、シリコン酸化膜の面積が小さい量となる。従って、本実施形態の製造方法によれば、実施の形態8の場合に比して、配線抵抗の小さな半導体デバイスを製造することができる。

【0094】実施の形態10、次に、図12を参照して本発明の実施の形態7について説明する。図12(A)～図12(E)は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す。

【0095】図12(A)は、実施の形態6における図8(E)と同じ状態を示す。本実施形態の製造方法では、実施の形態6の場合と同様にステップ20～24の処理が行われることにより、図12(A)の処理が形成される。図12(B)に示す如く、本実施形態の製造方法では、次に、実施の形態7(図9参照)の場合と同様に、ステップ27の処理が行われる。その結果、オキサイドエッチングモジュールはオキサイドエッチングによって、金属膜68の表面がシリコン酸化膜62の表面に比して100～1000オングストロム程度低くされる。

【0096】オキサイドエッチングまたはオキサイドエッチングされたシリコン酸化膜62および高融点金属膜68の処理が行われることにより、図12(A)の処理が形成される。図12(B)に示す如く、本実施形態の製造方法では、第1シリコン酸化膜32が形成される(ステップ2)。本実施形態においては、第1シリコン酸化膜32は、実施の形態8または9(図10および11参照)に、実施の形態8(図10参照)の場合と同様に、0.5～1.0の吸収率を有するシリコン酸化膜、すなわち、シリコンと窒素との比が1:1.68の膜である。

【0097】図12(D)に示す如く、第1シリコン酸化膜32は、その表面とシリコン酸化膜62の表面とが平坦となるまで、全面エッチング法、或いは、CMP法により除去される(ステップ30)。上記の処理が実

行されることにより、シリコン酸化膜62の中に、下層配線層30が形成される。

【0098】以後、上述した実施の形態6乃至9の場合と同様の処理が行われることにより、所望の構成が実現される。本実施形態の製造方法において、第1シリコン酸化膜32は、実施の形態8および9(図10および11参照)の場合と同様に、ARC、バリヤ層、および、エッチングストッパ膜として機能する。このため、本実施形態の製造方法によれば簡単な工程で優れた平坦度を有する半導体デバイスを製造することができる。

【0099】また、本実施形態の製造方法によれば、第1シリコン酸化膜32の吸収率を小さくすることができ、第1シリコン酸化膜32の表面とシリコン酸化膜62の表面とを平坦化することができる。このため、本実施形態の製造方法によれば、配線抵抗の小さな半導体デバイスを製造すると共に、下層配線層30の上に、容易に、高精度な配線要素を形成することができる。

【0100】この発明は以上説明したように構成されているので、以下に示すような効果を奏する。請求項1記載の発明によれば、ビアホールの中に有機物が形成された後に配線層を形成するためのエッチングが行われる。この場合、有機物が保護膜となるため、配線層を形成するためのエッチングによって下層配線層が損傷を受けることがない。

【0101】請求項2記載の発明によれば、有機物がエッチングストッパ膜の一部まで形成されている。この場合、配線層を形成するためのエッチングの過程において、エッチングストッパ層の貫通孔(ビアホール)によるエッチングが防止される。従って、本発明によれば、ビアホールの内壁の縁が除去されることにより下層配線層の損傷を防止することができる。

【0102】請求項3記載の発明によれば、フォトレジストを用いることにより、簡単な工程で有機物を形成することができる。

【0103】請求項4記載の発明によれば、有機物の防止層を用いることにより、簡単な工程で有機物を形成することができる。また、本発明によれば、第2絶縁層の上に有機物防止層を形成する場合には、有機物防止層を形成する際に、その工程と兼ねて有機物を容易に形成することができる。

【0104】請求項5記載の発明によれば、下層配線層の金属膜を高融点金属膜で覆うことができる。高融点金属膜によれば、反射光のハレーションを防止することができ、従って、本発明によれば、写真製版の際に、ハレーションに影響されることなく、優れた平坦度でフォトレジストをハウェニングすることができ、下層配線層

の金属膜の上面の凹凸を覆う高融点金属膜を簡単な工程で形成することができる。

【0106】請求項7記載の発明によれば、下層配線層の金属膜の上面の凹凸を覆う高融点金属膜を、簡単な工程で、下層配線層の内部に形成することができる。この場合、高融点金属膜の幅が下層配線層の幅からわずかに大きいため、配線要素間のジョイントを小さくすることができる。また、高融点金属膜の表面と、シリコン基板の表面とが平坦となるため、下層配線層の上面に形成する配線要素を容易に精度良く形成することができる。

【0107】請求項8記載の発明によれば、下層配線層の金属膜を、0.5～1.0の吸収率を有するシリコン酸化膜で覆うことができる。上記のシリコン酸化膜によれば、反射光のハレーションを防止することができる。従って、本発明によれば、写真製版の際に、ハレーションに影響されることなく、優れた平坦度でフォトレジストをハウェニングすることができ、下層配線層

の金属膜の上面の凹凸を覆うように、0.5～1.0の吸収率を有するシリコン酸化膜を簡単な工程で形成することができる。従って、本発明によれば、ハレーションを防止する機能を実現しつつ、配線量を小さく抑制することができる。

【0109】請求項10記載の発明によれば、下層配線層の金属膜の上面の凹凸を覆うように、下層配線層の内部に、0.5～1.0の吸収率を有するシリコン酸化膜を、簡単な工程で形成することができる。この場合、シリコン基板の表面と、シリコン基板の表面とが平坦となるため、下層配線層の上面に形成する配線要素を容易に精度良く形成することができる。

【0110】請求項11記載の発明によれば、配線層のエッチングの際にストッパ膜として機能するエッチングストッパ膜が、0.5～1.0の吸収率を有するシリコン酸化膜で形成される。この場合、エッチングストッパ膜によって光の透過率が制御されるため、ハレーションの影響を軽減することができる。

【0111】請求項12記載の発明によれば、第2絶縁層の表面に反射防止用高融点金属膜が形成される。この場合、反射防止用高融点金属膜の表面で妨げられる光が、直向するため、反射光の光量が減少することはない。従って、本発明によれば、極度の精度良くフォトレジストをハウェニングすることができ、下層配線層

の金属膜の上面の凹凸を覆うように、第2絶縁層の表面に反射防止用高融点金属膜を有する反射防止用シリコン酸化膜が形成される。この場合、反射防止用シリコン酸化膜の表面で妨げられる光が、直向するため、反射光の光量が減少することはない。従って、本発明によれば、極度の精度良くフォトレジストをハウェニングすることができ、下層配線層

【0113】請求項14記載の発明によれば、第2絶縁膜とフォトリソレジストとの間に有機反射防止膜が形成された状態でフォトリソレジストの感光処理が行われる。この場合、フォトリソレジストに照射された光が効率的に有機反射防止膜の表面で反射されるため、反射光に光路差が生ずることがない。従って、本発明によれば、極めて精度良くフォトリソレジストをパターンニングすることができ、

【図6】断面図の説明

【図1】 本発明の実施の形態1の半導体デバイスの製造方法を説明するための図である

【図2】 本発明の実施の形態2の半導体デバイスの製造方法を説明するための図である

【図3】 本発明の実施の形態3の半導体デバイスの製造方法を説明するための図である

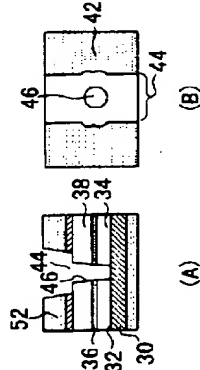
【図4】 本発明の実施の形態4の半導体デバイスの製造方法を説明するための図である

【図5】 反射防止用高屈折率金属膜が用いられない場合に得られる状態を説明するための図である

【図6】 反射防止用高屈折率金属膜が用いられない場合には、反射防止膜の膜厚と反射膜との関係を示す図である

【図7】 反射防止用高屈折率金属膜が用いられる場合には、反射防止膜の膜厚と反射膜との関係を示す図である

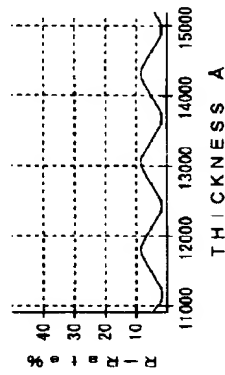
【図5】



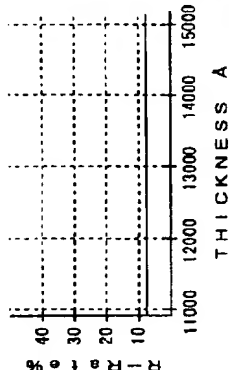
(A)

(B)

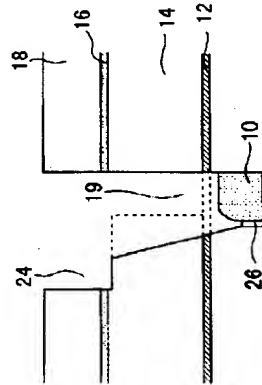
【図6】



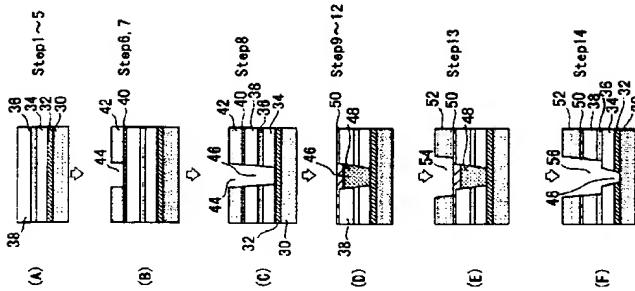
【図7】



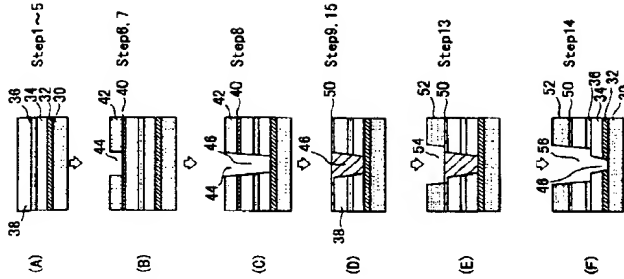
【図14】



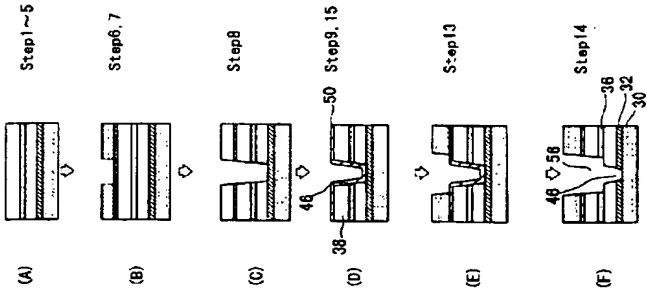
【図1】



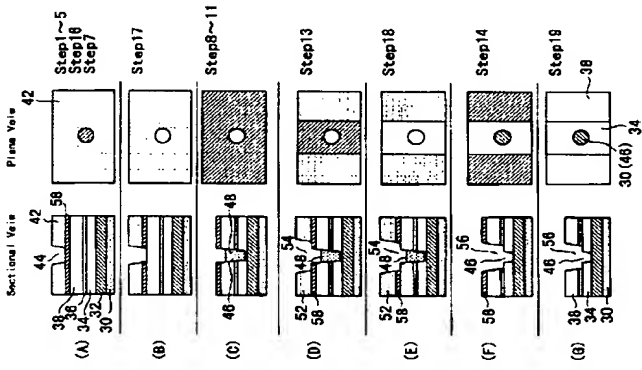
【図2】



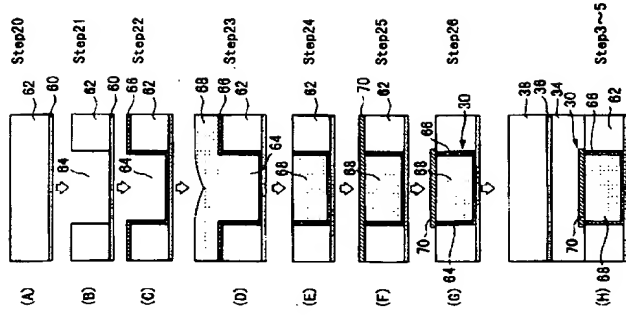
【図13】



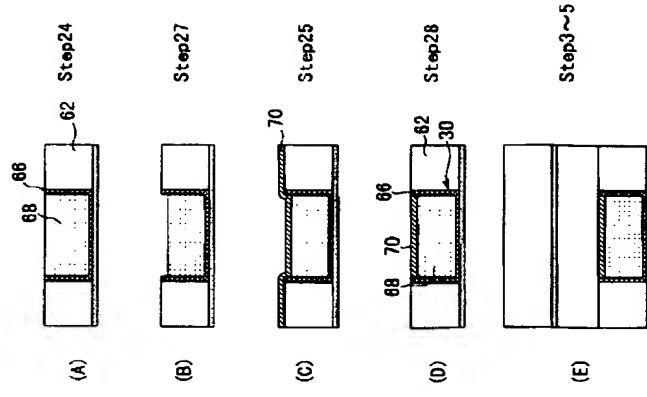
【図14】



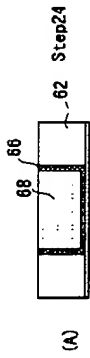
【図18】



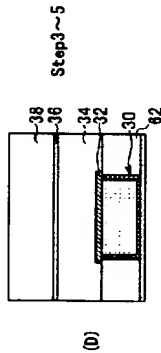
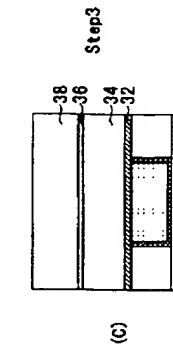
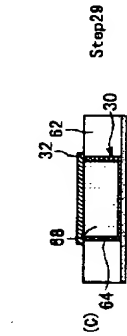
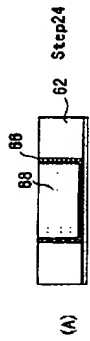
【図19】



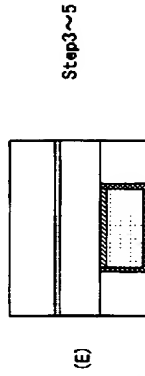
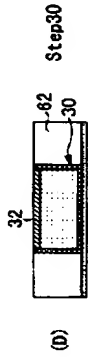
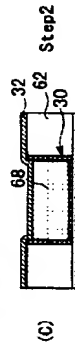
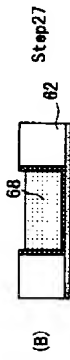
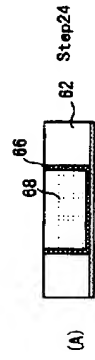
【図10】



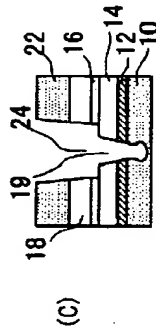
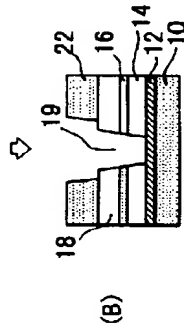
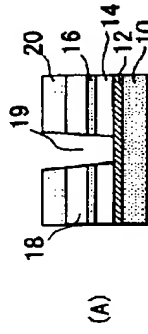
【図11】



【図12】



【図13】



フロントページの続き

Fターム(参考) 3F001 AA16 DB03 DB07 DB08 DB23
 DB26 EA22 EA28 EB01 EB03
 3F003 KK11 KK18 KK21 KK32 KK33
 WW02 XX30 YY06 YY15 QQ09
 QQ10 QQ16 QQ22 QQ23 QQ32
 QQ35 QQ37 QQ18 RR01 RR05
 RR06 RR11 RR21 RR27 SS12
 SS22 TT02 XX03 XX21 XX28
 XX32

2002.12.25

整理番号 OH003612

発送番号 426044

発送日 平成14年12月24日 1 / 3

拒絶理由通知書

特許出願の番号	特願2000-345616
起案日	平成14年12月16日
特許庁審査官	齋藤 恭一 8122 4L00
特許出願人代理人	大垣 孝 様
適用条文	第29条第1項、第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記 of 刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。

2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記 of 刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・理由 1又は2
 - ・請求項 1-7, 12-16
 - ・引用文献等 1-4
 - ・備考
- (請求項1, 2, 6, 7について)

引用例1, 2には、配線溝に対応する幅、又は配線溝の外側を囲む程度の幅に形成された窒化膜パターンを利用して、デュアル・ダマシン・プロセスにより配線層を形成している。なお、窒化膜パターンは、リソグラフィ工程の目合わせ精度の余裕寸法を有する必要があるから、配線溝の0.2~1.0 μ m外側を囲むような形状および大きさに形成することは、当業者が容易になし得ることと認められる。

(請求項 3, 1 2 について)

配線溝を形成する際に、溝の内壁面をテーパ面とすることは、引用例 3 に記載されるように周知の構造であり、また、ドライエッチングの際に、エッチングガス中に CH_2F_2 ガスを含有させて反応生成物を形成し、溝を形成することも、引用例 4 に記載されるように周知の手段である。

引用例 1, 2 に記載のものにおいて、溝形成に上記周知のガスを用い、溝内壁面をテーパ面とすることは、当業者が容易に想到し得ることと認められる。

(請求項 4, 1 3 - 1 5 について)

引用例 1 (図 3, 図 4 を参照)、引用例 2 (図 1 8 - 図 2 0 等を参照) には、エッチングストップパとして利用した層を除去することが記載されている。

なお、エッチング手段は、ストップ膜の材質に応じて適宜選択しうるものである。

(請求項 5, 1 6 について)

引用例 1 (図 2 5 参照)、引用例 3 (図 1 1 参照) には、下地の下層配線領域上にのみ拡散防止層を形成することが記載されている。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には、拒絶の理由が通知される。

引用文献等一覧

1. 特開平 1 1 - 3 4 5 8 7 5 号公報
2. 特開平 1 1 - 3 1 7 4 5 1 号公報
3. 特開 2 0 0 0 - 1 5 0 6 4 4 号公報
4. 特開平 1 1 - 3 3 0 0 4 6 号公報

Cited References



先行技術文献調査結果の記録

- ・調査した分野 I P C 第 7 版 H 0 1 L 2 1 / 3 2 0 5 ~ 2 1 / 3 2 1 3
H 0 1 L 2 1 / 7 6 8
- ・先行技術文献 特開平 1 1 - 8 7 4 9 2 号公報
特開平 2 - 3 2 2 8 号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

発送番号 426044

3 / 3